

Reference 2

Japanese Patent Public Disclosure No. 108747/1978 Date of
Public Disclosure: September 21, 1978

Application No. 17515/1978

Application Date: February 17, 1978

Priority: S.N. 769617 (US)

Inventor: Jaime Call et al.

Applicant: Honeywell Information System Inc.

Title: Data Processing System involving Cache Memory Device

We are enclosing a copy of a U.S.P. (No. 4,084,234)
which corresponds to Reference 2, please refer to it.

BEST AVAILABLE COPY

STK V. EMC
STK 08828

訂正有り

⑨日本国特許庁

⑩特許出願公開

公開特許公報

昭53-108747

⑪Int. Cl.²
G 06 F 15/00

識別記号

⑫日本分類
97(7) H 0

⑬内整理番号
6619-56

⑭公開 昭和53年(1978)9月21日

発明の数 3
審査請求 未請求

(全34頁)

⑮カツシエ記憶装置を含むデータ処理システム

ルバーグ

アメリカ合衆国アリゾナ州8502

1フエニックス・ウエスト・カ

ミノ・エイスキア4117

⑯特 願 昭53-17515

⑰出 願 昭53(1978)2月17日
優先権主張 ⑯1977年2月17日⑮アメリカ国
(U.S.)⑯769617

⑱出 願 人 ハネイウエル・インフォメーション・システムス・インコーポ

⑲発明者 ジエイム・コール

レーテッド

アメリカ合衆国アリゾナ州8530

アメリカ合衆国マサチューセッ

6グレンデール・ウエスト・ウ

ツ州02154ウォルサム・スミス

オルターン4723

・ストリート200

⑳同 ローレンス・ダブリュー・チエ

㉑代 理 人 弁理士 湯浅恭三 外1名

明細書

1.【発明の名称】

カツシエ記憶装置を含むデータ処理システム

2.【特許請求の範囲】

(1) 複数個のポートを有するシステム・インターフェース装置と、

前記の複数個のポートの各々に接続され、少なくとも1個のメモリー・モジュールと複数個の指令モジュールとからなる複数個のモジュールとを設け、前記指令モジュールの各々は、

メモリー・指令を生成するための指令生成装置を有し、第1のタイプの各メモリー・指令は前記メモリー・指令を伴うデータが記憶されるべき前記メモリー・モジュールにおける場所を示すアドレスを含み、

前記1つのメモリー・モジュールは、

前記メモリー・指令に応答して情報ワードのブロックを記憶するためのカツシエ記憶装置と、

情報ワードを記憶し、各々が1ブロックを規定する複数個のワード場所を含む補助記憶装置と、

(1)

前記カツシエ記憶装置と前記補助記憶装置に接続されて該両記憶装置の作用を制御するための制御回路装置とを含み、

該制御回路装置は、

前記の複数個の指令モジュールから前記メモリー・指令を受取るための前記1つのポートに接続された入力レジスタと、

前記指令を復号し、かつ前記補助記憶装置およびカツシエ記憶装置におけるメモリーの操作タイミングを開始するための信号を生成するため前記入力レジスタ装置に接続される指令復号回路と、

前記インターフェース・ポートの1つに接続される入力データ・スイッチング装置とを有し、該スイッチング装置は、前記第1のタイプのメモリー・指令を伴う前記データを受取るための第1の入力装置と、前記第1のタイプの各指令に応答して1操作タイミングの間隔で出されるワードを受取るため前記補助記憶装置に作用的に接続される第2の入力装置と、前記カツシエ記憶装置と補助記憶装置に結合される出力装置を有し、更に前記データ

(2)

スイッチング装置に、前記メモリ・操作サイクルの間前記補助記憶装置から読み出された前記ワードに前記指令を伴う前記データを組み合わせる事から生じる更新データを前記出力装置に与え。

更に、前記制御回路装置に、各々が特定の情報ブロックが前記カッシュ記憶装置のどこに記憶されているかを表示するブロックアドレスを記憶するための、前記カッシュ記憶装置におけるブロック数と対応する複数個のワード場所を含む登録記憶装置と、

前記メモリ・指令に応答して前記登録記憶装置から読み出されるブロック・アドレスと、前記メモリ・指令の前記アドレスとを比較するため前記登録記憶装置と前記入力レジスタ装置とに接続され、其であるアドレス比較を表示する出力比較信号を発生する比較装置と、

前記比較装置と前記指令信号装置に接続され、前記第1のタイプの指令により指定される情報ワードのブロックが前記カッシュ記憶装置に記憶される時を表示するため前記出力比較信号に応答し

(3)

記カッシュ記憶セクションは、

前記ブロックを記憶するためのカッシュ記憶装置と、

各々が特定の情報ブロックが前記カッシュ記憶装置に記憶される事を表示するブロックアドレスを記憶するための、前記カッシュ記憶装置のブロック数と同数の複数個のワード場所を含む登録記憶装置と、

前記操作のメモリ・サイクルの間前記登録記憶装置から読み出されるブロック・アドレスと前記指令の前記アドレスを比較する装置と前記登録記憶装置とに接続され、アドレス・マッチに応答して出力比較信号を生成する比較回路装置と、

前記比較回路装置と前記指令信号装置に接続され、前記出力比較信号に応答して作用し前記アドレス・マッチを表示するヒット信号を記憶するヒット・レジスタ装置と有し、

前記局部メモリ・モジュールは、更に、
対応する数の補助記憶装置の操作サイクルの間前記メモリ・指令に応答してワード・ブロックを

(5)

ヒット信号を生成するヒット制御装置と有し、

前記指令信号装置に、前記ヒット信号により操作付けされる時、前記カッシュ記憶装置が前記更新データと同じアドレスに書き込む事可能にしてこれより実行情報への迅速なアクセスを容易にするため、前記信号を生成する前記第1のタイプの各メモリ・指令に応答して作用する事を特徴とするデータ処理システム。

(2) 複数個の指令セミジュール間で1つの局部メモリ・モジュールへのアクセスを共有するための入出力システムにおいて、

前記各指令セミジュールは、

メモリ・指令を生成するための指令生成装置を有し、各書き込みメモリ・指令は前記指令を伴う多数のデータ・ワードが記憶される前記局部メモリ・モジュールにおける1つの場所を表示する1アドレスを有し、

前記局部メモリ・モジュールは、

情報ブロックを記憶してこれに対する迅速なアクセスを行なうカッシュ記憶セクションを有し、前

(4)

記憶するための補助記憶セクションと、

前記カッシュ記憶セクションと、補助記憶セクションと前記各指令モジュールとに接続され、前記補助記憶セクションに記憶されたワード・ブロックを更新するため補助記憶装置の操作サイクルの読み出し部分において、前記補助記憶セクションから読み出されたワードと前記の数のデータ・ワードを組み合わせるための入力セクションと、

前記カッシュ記憶セクションと、補助記憶セクションと、前記各指令モジュールとに接続された出力セクションと、

前記入力セクションと、出分セクションと、カッシュ記憶セクションと、補助記憶セクションとに接続された制御回路セクションと有し、該制御回路セクションは、

前記メモリ・指令を受取るため前記入力セクションに接続されたレジスタ装置と、

前記指令を復号し、前記補助記憶セクションとカッシュ記憶セクションにおいて操作のメモリ・サイクルを開始するための信号を生成するため前

(6)

記入力装置に接続される指令記号回路装置とを有し、

該指令記号回路装置は、前記ヒット信号により条件付けされる時、前記各書込み指令に応答して作用し、前記カッシュ記憶装置と補助記憶装置の両者が前記更新情報ワードを内部に書き込みを可能にするため制御信号を生成する事を特徴とする入出力システム、

(3) 各々が1ブロックのワード場所を規定する複数個のワード場所を含む、情報ワード記憶のための補助記憶装置と、

各々が1ブロックのワード場所を規定する複数個のワード場所を有する、情報ワード・ブロックを記憶するカッシュ記憶装置と、

前記カッシュ記憶装置におけるブロック数と同数であり、特定の情報ブロックが前記カッシュ記憶装置のどこに記憶されるかを表示するブロック・アドレスを各々が記憶する複数個のワード場所を含む全情報記憶装置と、

前記カッシュ記憶装置と補助記憶装置に作用的

(7)

記補助記憶装置に接続された第2の入力装置と、前記新データ・ワードを前記補助記憶装置から読み出された前記ブロックの前記ワードと組み合わせる事から生じる前記ブロックの更新されたバージョンを与えるため前記カッシュ記憶装置と補助記憶装置に接続された出力装置とを有し、

前記制御装置は更に、

前記各書込みメモリー指令に応答して前記全情報記憶装置から読み出され元ブロック・アドレスと前記メモリー指令の前記アドレスを比較し、かつ真であるアドレス比較に応答して出力比較信号を生成するため前記全情報記憶装置と入力レジスタ装置に接続された比較装置と、

前記各書込み指令により更新されるべく指定されたブロック情報ワードが前記カッシュ記憶装置に記憶される時を表示するため前記出力比較信号に応答してヒット信号を記憶するためのヒット・レジスタ装置とを有し、

前記指令記号回路装置は、前記ヒット信号により条件付けされる時、前記各書込み指令に応答し

(9)

特許第53-108747Bに接続され、該書込み装置の作用を制御するための制御装置とを設け、該制御装置は、

書込み指令を伴う多数の新データ・ワードを内部に書き込むため操作のメモリー・サイクルの間前記ワード場所のどのブロックが組合されるかを指定するアドレスを含むよう符号化される各書込み指令とメモリー・指令を受取るよう接続される入力レジスタ装置と、

前記メモリー・指令を複号するため前記入力レジスタ装置に接続され、各書込み指令に応答して、前記各書込み指令により指定される前記新ワードを書き込むための操作のメモリー・サイクルの間前記補助記憶装置とカッシュ記憶装置を連続的に動作可能にするための制御信号を生成するよう作用する指令記号回路装置と、

入力データ・セレクタ装置とを設け、該装置は、前記指令を伴う前記新データ・ワードを受取るための第1の入力装置と、

前記操作のメモリー・サイクルの読み出し部分において読み出された元ブロックのワードを受取るための

(8)

で作用し、前記操作のメモリー・サイクルの間前記カッシュ記憶装置と補助記憶装置が同じアドレスにおいて前記更新ブロックの書き込みを可能にするための制御信号を生成する事を特徴とするメモリーシステム。

3.【発明の詳細な説明】

本願に属する関連出願は次の通りである。

(1) 米国特許出願「バイパス機能を有する入出力カッシュ・システム」、発明者：J.・カル(Calle), L.W. チエルバーグ(Chelberg),

(2) 1976年11月18日出願の米国特許出願第42814号「メモリー・アクセス・システム」、発明者：E.F. ウエラー(Weller) 三世, M.G. ポーター(Porter)。

本発明は、データ処理システムに適し、特にカッシュ記憶装置を含むデータ処理システムに関する。

一般に、カッシュ記憶装置は要求されている情報の並び性を基に更新されたバージョンを提供する事が必要とされる。この事を確実に行うために、

00

従来技術の装置は、補助記憶装置に書き込まれる情報の一記が変更される等必要なカッシュ更新操作を実施する中央処理装置に行わせる。通常この事は、補助記憶装置において更新されつゝある情報が又カッシュ内に記憶される事を監視庫が表示する時を信号するためカッシュの記憶装置庫に補助の表示をセントする事により行われる。その後、中央処理装置は、監視庫アドレスにより指定される情報が次にアクセスされる時旧い情報がカッシュ記憶装置内に生じる事のないよう、カッシュ記憶装置から旧い情報を「フラッシュ」する事が必要となる。

前述の構成は、このような情報が多くのソース割り振りにより変更される場合に特に時間を消費するものである事が判つた。又、このような構成は前記のタイプの操作を行うために別の基板を必要とする。

従つて、本発明の主な目的は、カッシュ記憶装置に記憶される情報を更新するための改善された装置の提供にある。

01

に応答して作用する制御装置を含んでいる。直ましい実施例によれば、書き込み指令により補助記憶装置に書き込まれるよう指定される入力データを補助記憶装置から読み出されたデータと組み合わせ、かつその結果をカッシュと補助の両記憶装置に入力として与える装置が抜けられる。これにより、補助記憶装置に書き込まれるものと全く同じデータがカッシュ記憶装置に書き込まれる事を保証する。

直ましい実施例によれば、指令モジュールは、少くとも1つの入出力プロセッサと1つのマルチプレクタ・モジュールを含み、本装置は、特に記憶装置に書き込まれつゝある情報のアドレスがこの情報がカッシュ記憶装置に記憶される事を表示する監視庫アドレスとマッチする時を検出するよう作用するカッシュ記憶装置と関連する監視庫記憶装置の回路と対応する。制御の組み合わせを行う装置は、システム・インターフェース装置からの新らしいデータと補助記憶装置からの旧い出力データを受取るよう入力側を接続させたマルチ入力データ・セレクタ・スイッチに対応する。このセ

02

-276-

特願1055-1-3747 (4)
本発明の別の目的は、多数のソース割り振りモジュールのいずれか1つにより更新ができるカッシュ記憶装置の提供にある。

これ等の目的および他の目的に、多数のソースモジュールおよび1つの局部メモリー・モジュールを含む入出力システムを有する本発明の装置において実施例において達成される。局部メモリー・モジュールは、補助記憶装置およびカッシュ記憶装置を含んでいる。カッシュ記憶装置に、常に記憶装置から前に取出された情報ブロックに対する迅速なアクセスを行う。直ましい実施例のシステムは、更に各々が異なるモジュールの1つに接続される複数個のポートを含むシステム・インターフェース装置を含んでいる。

前記局部メモリー・モジュールは、更に書き込み装置への書き込みを必要とする指令モジュールにより与えられる情報をして、制御装置内に含まれる装置が情報が前もつてカッシュ記憶装置に書き込まれる事を決定する時、カッシュ記憶装置に書き込まれる事を可能にするよう各書き込みメモリー・指令

03

レクタ・スイッチは、結果として組み合わされたデータを書き込むためカッシュと補助記憶装置に与える出力側を有する。この構成のためデータ回路の数と組み合わせ回路の量が最少限度になる。

カッシュ記憶装置に前もつて記憶され自動的にカッシュ記憶装置に書き込まれた情報における変化を表示する各メモリー・書き込み指令を情報に伴わせる事により、時間を要するフラッシュ操作の必要をなくし、メモリー・システムの複雑さを最少限度にするものである。更に、本構成は、指令モジュールにより示される情報に対する迅速なアクセスを容易にする(即ち、「ヒット」率を向上する)。

概要

第1図から判るよう、本発明の原理を包含するシステムは、少くとも1つの入出力プロセッサ(PO)200-0、システム・インターフェース装置(SIU)100、高速マルチプレクタ(HSMX)300、低速マルチプレクタ(LSMX)400、上位プロセッサ700、局部メモリー・モジュール500と主メモリー・モジュール

04

-276-

800に対応する多数のメモリー・モジュールを有する、これ等モジュールの異なる各々が、異なるタイプのインターフェース600乃至603の各々の複数個の回路を通じシステム・インターフェース装置100の多数のポートの1つに接続している。特に、出入力プロセサ200と、上位プロセサ700と、高速マルチブレクタ300は各ポートG、HおよびIに接続し、低速マルチブレクタ400とメモリー・モジュール500、500cおよび300はそれぞれポートJ、LM0およびRM0に接続する。

第1図の出入力システムは、多数の「駆動モジュール」、「受動モジュール」、および「メモリー・モジュール」を含むように示される。IOPプロセサ200と、上位プロセサ700と、高速マルチブレクタ300は、各々が指令を発する能力を有する駆動モジュールとして作用する。駆動モジュールは、通常ポートA乃至Fと接続する。他の受動モジュールは3つのポートJ、KおよびLと接続する。これ等のモジュールは、低速マ

05

06

述される如き装置の形態をとり得る。最もしい実験機においては、出入力プロセサ200は、出入力命令の実行に必要なヤンキル・プログラムを開始終了し、システム・インターフェース装置100から受取る読み込み要求を処理し、低速マルチブレクタ400に接続されるユニット・レコード周辺装置を直接制御する。プロセサ200は、データ・インターフェース600および読み込みインターフェース602を経てポートHと接続する。

本発明の目的のためには構造上公知と考えられる低速マルチブレクタ400は、周辺アダプタを経て低速周辺装置の接続を可能とし、前記アダプタの各々は装置アダプタ・インターフェース(DAI)の回路に接続している。前記インターフェースとアダプタは、本発明の製受人に記載された米国特許第3,742,457号に記述される装置の形態を有するものでよい。低速装置には、カード・リード、カード・パンチ、およびプリンタが含まれる。第1図から判るように、マルチブレクタ400はプログラム可能インターフェース

07

08

ルチブレクタ400およびシステム・インターフェース装置100と対応し、以下に記述するごくインターフェース601の回路に与えられる指令を解釈し実行する事ができる装置である。本発明のグループモジュールは、周辺メモリー・モジュールと、インターフェース603の回路に与えられる2つの異なるタイプの指令を実行する事が可能な主システムの回路リセート・メモリー・モジュールを構成する。

第1図の出入力システムは、各々更に構成以下に記述するデータ・インターフェースとプログラム可能インターフェースとそれぞれ対応するインターフェース600および601を介して通常ポートFと接続する上位プロセサ700により生じる入出力命令に応答して出入力サブシステムとして作用する、ポートFとEは、第1図のマルチブレクタ又はプロセサ・モジュールのいずれかの接続を可能にするためのインターフェースを含む。

本発明の目的のため、プロセサ700は構造上は公知であり、米国特許第3,413,613号に記

601を経てポートJと接続する。

高速マルチブレクタ300は、チャイネル・アダプタ302乃至305の異なるものと接続するディスク装置およびデータ・ブロック309乃至312のグループ間の転送を制御する。最大16個迄のチャイネル・コントローラ・アダプタ303乃至306は、更にチャイネル・アダプタ・インターフェース(CAI)301-1のインターフェースを経て異なるポート間ちチャイネル0乃至3に更に接続する。高速マルチブレクタ300は、データ・インターフェース600と、プログラム可能インターフェース601と、読み込みインターフェース602とに対応するポートAに接続する。

本発明の目的に対しては各チャイネル・コントローラ・アダプタ302乃至305は構造上公知と考えられ、前述の米国特許第3,742,457号に記述されたコントローラ・アダプタの形態をとり得る。

前述の如く、各モジュールはシステム・インターフェース装置100の異なるポートに接続する。

この機能 100 は、対をなすモジュール間のデータおよび制御情報の転送を可能にする転送経路を絶て異なるモジュールの相互の接続を制御する。本発明の目的に對しては、システム・インターフェース装置 100 は、受取側のモジュールが最高の優先順位を有しつつ利用可能なメモリー・サイクルを与えられる時、局部メモリー・モジュール 500 に対して「能動」モジュールの各々にデータの出入り転送を可能とするスイッキング回路として考へられる。即ち、前述の如く、装置 100 は、各能動モジュールからの要求の相対的優先順位を決定する優先順位論理回路を含み、次に利用可能なメモリー・サイクルを受取った最高順位の要求に与える。

更に、装置 100 は、各モジュールから受取る割込み要求の相対的順位を決定する割込み順位論理回路を含み、受取った最高順位の要求を通知し、前述の如くスイッキング回路を絶てプロセッサ 200 に対して要求を送る。

ポート・インターフェース

19

複数個の SIU からのマルチポート識別子回路 (MIFSO~3, P)、SIU からの 2 信程度回路 (DPFS)、および状況受入れ回路 (AST) からなる。このインターフェース回路については更に詳細に以下の各項で記述する。

データ・インターフェース回路

記号

説明

AOPR

能動出力ポート要求回路は各能動モジュールから SIU100 に送られる一方性回路である。セントされると、この回路は、指令即ちデータが送られる転送経路をモジュールが要求する事を SIU100 に傳達する。

DTS00~35, P0~P3

データ経路回路は、各能動モジュール間で伝達する 4 バイトの巾の一方性回路 (4 つの 10 ビット・バイト) であり、各能動モジュールから SIU100 へ指令即ちデータを転送するために使用

20

する。第 1 回の各モジュールについて更に詳細に記述する前に、前に触れたインターフェース 600 にて第 603 の各々について第 1 回乃至第 4 回に備して以下に説明する。

最初に、第 5 回において、同様に能動モジュールとシステム・インターフェース装置 100 との間に情報の交換を行うインターフェースの 1 つであるデータ・インターフェースを構成する各回路を示す事が判る。この交換作用は、「ダイヤログ」と呼ばれる一連の信号に基いて構成される予め定めた規則に従つて各信号回路の論理的次第を制御する事により行われる。

第 5 回から判るようだ、インターフェースに、能動出力ポート要求回路 (AOPR)、複数個の SIU データ回路 (DTS00~DTS35, P0~P3)、複数個の SIU 指向データ回路 (SDTS0~6, P)、複数個の SIU マルチポート識別子回路 (MITS0~3, P)、受入れ能動要求回路 (ARA)、複数個の SIU 受入れ回路 (ARDA)、複数個の SIU からのデータバス回路 (DFS00~35, P0~P3)、

四

される。

SDTS0~6, P 対 SIU 指向データ回路は各能動モジュールから SIU100 に送られる。これ等の回路は、回路 AOPR がセットされる時操作制御情報を SIU100 に与えるために使用される。指向制御情報は、下記の如く符号化される 7 ビットと 1 つのパリティ・ビットからなる。

(1) ビット 0 の状態 = DTS 回路に与えられた指令のタイプ (指令がプログラム可能インターフェース指令又はメモリー指令かどうか)。

(2) ビット 1~4 などのモジュールが指令を受取り割込むかを表示するよう符号化される (指令はメモリー・モジュールによってのみ解釈され、プログラム可能インターフェース指令は入出力プロセッサ 200 を除く全てのモジュールにより解

四

-278-

示される)。

(c) ビット 5 の状態は、指令情報の 1 文字は 2 ワードが要求側の能動モジュールと表示された受取り側のモジュールとの間に伝送されるかどうかを表示する。(1 ワードは單精度伝送を、2 ワードは 2 倍精度伝送を指定する。)

(d) ビット 6 の状態は、要求側のモジュールと表示された受取りモジュール間の伝送方向を表示する。

(e) ビット P は、SIU100 に含まれる機能により検査される要求側の能動モジュールにより生成されるパリティ・ビットである。

MITSO-3, P 4 つの対 SIU マルチポート識別子回路は能動モジュールから SIU100 に伝送する。これ等の回路は、能動モジュール内のどのアプチャインキル又はポートが回路 AOPR

四

路(4 つの 10 ビット・バイト)である別のセフトのデータ伝送回路である。これ等の回路セフトは、SIU100 により使用され検出しタイプ・データを能動モジュールの表示された 1 つに伝送する。

MITSO-3, P 4 つのマルチポート識別子回路プラス奇数パリティ回路は、SIU100 から各能動モジュールに伝送する。これ等の回路は、能動モジュール内のどのポートからアプチャインキルが SIU100 からの前の検出し動作のデータを受入れるかを表示するよう符号化される。

DPPS SIU からの 2 倍精度回路は、SIU から各能動モジュールに伝送する。この回路の状態は、検出されたデータの 1 つ又は 2 つのワードが能動モジュールにより受入れられて伝送(検出し指令)を完

四

特開昭53-108747 (7)

のセントティングを拿起したかを表示するよう符号化されている。

受入れ能動要求回路は SIU100 から能動モジュールの色々に伝送する。この回路は、表示された受取り側のモジュールがデータ・インターフェース回路からの要求された情報をモジュールに取扱かせる能動モジュールの要求を受入れた事を表示するようセントされる。検出レジ・タ受入れ回路は SIU から各能動モジュールに伝送する。この回路は SIU100 によりセントされて、能動モジュールに対してこれが表示されたモジュールから前に要求されたデータを受入れるべき事を表示する。

DFS00-35, P0-P3 SIU からのデータ回路は、SIU から各能動モジュールに伝送する 4 バイト巾の一方向性の回

20

了するかどうかを表示する。

受入れ状況回路は SIU100 から各能動モジュールに伝送する。回路 ARDA を互いに含まないこの回路の状態は、能動モジュールに対して DFS 回路に与えられる状況情報を受入れるべき事を信号する。

第 5 回示されるプログラム可能インターフェース 601 の回路は、能動モジュールおよび表示されたモジュールからの指令情報の伝送を行う。この伝送は、「ダイヤログ」と呼ばれる一連の信号により構成される予め定めた順序に従い各種の信号は該の状態の該回路を制御する事により行われる。プログラム可能インターフェースに、プログラム可能インターフェース 指令受入れ回路 (APC), 程式側の SIU からのプログラム可能インターフェースデータ回路 (PDFS00-35, P0-P3), プログラム可能インターフェース 使用可能回路 (PIR), 検出レジ・タ伝送要求回路 (RDTR), 程式側の対 SIU プログラム可能イン

21

データ・エース・データ回路 (PDT500-35, PO-P3), および読み出しデータ受入れ回路 (RDAA) を含んでいる。インターフェース回路について以下に更に詳細に記述される。

プログラム可能インターフェース回路

表示	説明
APC	プログラム可能インターフェース 指令受入れ回路は、SIU100 から各モジュールへ送信する。セントされると、この回路はモジュールに対して指令情報が SIU によりインターフェースの PDTS 回路に与えられた事、モジュールにより受入れられるべき事を信号する。
PDT500-35 PO-P3	SIU からのプログラム可能インターフェース・データ回路は、SIU100 から各モジュールへ送信する 4 バイト巾の一方向性の経路 (4 つの 10 ビット・バ
RDTR	用される。
RDAA	データ転送要求読み出し回路は、プログラム可能インターフェースに接続された各モジュールから SIU100 へ送信する。セントされると、この回路は、前に要求された読み出しデータが 1 モジュールへの転送に使用でき、このモジュールにより当該 PDTS に与えられた事を表示する。
	受入れられたデータ読み出し回路は SIU100 から各モジュールへ送信する。セントされると、この回路は、モジュールに対して回路 PDTS に与えられたデータが受入れられた事、およびこのモジュールがこれ等の回路から情報を除去できる事を表示する。
	別のインターフェースは、入出力プロセッサ 200 により読み込み処理を行う第 5 回の読み込みインターフェース回路 (IR) である。

特開昭53-108747 (6) イト) である。これ等回路は、システム・インターフェースから表示される受取りモジュール迄プログラム可能インターフェース情報を与える。

プログラム可能インターフェース使用可能回路はモジュールから SIU 送信する。セントされる時、この回路は、このモジュールが回路 PDTS に与えられたべき指令を受入れる用意がある事を表示する。

PDT500-35 PO-P3 対 SIU プログラム可能インターフェース・データ回路は、各モジュールから SIU100 へ送信する 4 バイト巾の一方向性の経路 (4 つの 10 ビット・バイト) である。これ等回路は、プログラム可能インターフェース情報を SIU に對して転送するための回路

・フェース 602 である。即ち、このインターフェースは、処理のため SIU100 による入出力プロセッサ 200 に対する読み込み情報の転送と同様に SIU100 に対する読みモジュールによる読み込み情報の転送を可能にする。他のインターフェースと同様に、読み込み要求の転送は、「ダイヤログ」と呼ばれる一連の信号により構成された予め定めた規則に従つて各種の信号回路の論理状態を制御する事により行われる。

このインターフェースは、読み込み要求回路 (IR), 読み込みの読み出しだけ回路 (IDA00-11, PO-P1), およびポート A 乃至して接続されたモジュールに対する複数回路のマルチポート別子読み込み回路 (IMID00-03) を有する。ポート C および H に接続されるモジュールに対しては、読み込みインターフェースは更にレベル保持回路 (LZP) に対して、更に上位の読み込み存在回路 (HLIP), 読み込みデータ要求回路 (IDR), 解放回路 (RLS), および複数回路の最初の読みレベル回路 (AIL0-2) を含んでいる。第 5 回から判るように、回

読みインタ・フェースポートGおよびHは読み込みポートと別子回路に含まれない。読みインタ・フェース回路については以下に更に詳細に記述する。

読みインタ・フェース回路

記号	説明
I R	読み要求回路は各モジュールからSIU100 に存在する。セントされると、この回路はSIU100 に対してサ・ビスを必要とする事を表示する。
IDA, D~3, PO	読みみデータ回路は能動モジュールからSIU100 に存在する。セントされると、この回路はSIU100 に対してサ・ビスを必要とする事を表示する。
PI	これ等回路は、読み要求がプロセサにより受け入れられた時入出力プロセサに伝送されるべく要求される制御情報を含むよう符号化される。これ等ビットは下記の如く符号化される。即ち、
(a) ビット0の状態は2つのプロセサ	SIU100 に存在する。これ等回路は、能動モジュールのどのアブチヤンキルが読みみサ・ビスを要求したかを識別するよう符号化される。
L Z P	レベル存在回路はSIU100 から入出力プロセサ200 に存在する。セントされる時、この回路はSIU100 によりプロセサ200 に指向される最高段位(レベル0 読み)要求がある事を表示する。
HLIP	より上位のレベル読み存在回路はSIU100 から入出力プロセサ200 に存在する。セントされる時、この回路は、プロセサ200 により実行されつゝある手順即ちプロセサよりも高いレベル即ち優先段位を有する読み要求がある事を表示する。
IDR	読みみデータ要求回路は入出力プロセサ200 からSIU100 に存在する。

四

-281-

特開昭53-108747 (9)

の内のどちら(即ち、プロセサ番号)が読み要求を処理すべきかをSIU100 に対して指定する。

(b) ビット1~3は読み要求の優先段位即ちレベル番号をSIU100 に対して表示するよう符号化される。

(c) ビットPOはビット0~3に対するバリティ・ビットである。

(d) ビット4~8は、読みみを処理するための適正な手順を結合するための入出力プロセサ200により生成される事を要求されたアドレスの一覧(即ち、読みみ制御プロトコル番号ICBN)を与えるよう符号化される。

(e) ビットPIはビット4~11に対するバリティ・ビットである。

IMID00~03 マルチポート識別子読み回路は各能動モジュールからSIU100 に存在する。

五

在する。セントされると、この回路は読みみデータがSIU100 により回路DPS上のプロセサに対して送られるべき事を表示する。

解放回路は入出力プロセサ200 からSIU100 に存在する。この回路は、セントされる時、プロセサ200 が実行手順の実行を完了した事を表示する。

能動読みレベル回路はSIU100 から入出力プロセサ200 に存在する。これ等回路は、プロセサ200 により実行されつゝある手順の読みレベル番号を表示するよう符号化される。

第1回のモジュールのあるものにより使用される能動の読み回路のセクトは第5回の局部ノモリ・・インタ・フェース回路に対応する。局部ノモリ・・インタ・フェース603は、局部ノモリ500とシステムの各モジュール間に情報の

五

STK V. EMC
STK 08860

交換を行う。この交換は、「ダイヤローグ」と呼ばれる一連の信号により構成されるもので、定められた規則に従つて各種の信号インターフェース回路の物理的状態を制御する事により行われる。局部メモリー・インターフェースは、複数個の対メモリー・データ回路(DTM00~35, P0~P3)、複数個の対メモリー・要求識別子回路(RITM0~7, P0~P1)、複数個の対メモリー・指定回路(SLTM0~3, P)、PI命令受入れ回路(APC)、ZAC命令受入れ回路(AZC)、PIインターフェース使用可能回路(PIR)、ZACインターフェース使用可能回路(ZIR)、データ転送要求出し回路(RDTR)、複数個のメモリーからのデータ回路(DFM00~35, P0~P3)、複数個のメモリーからの要求識別子回路(RIFM0~7, P0~P1)、対メモリー・2倍精度回路(DPFM)、QUAD回路、受入れデータ読み出し回路(RDAA)、およびシステム・クロック回路(SYS-CLK)を含んでいる。

メモリーおよびプログラム可能なインターフェース指令は、インターフェースの同じ物理的データ

四

構成する。これ等の回路は、指令を開始したモジュールを識別する局部メモリーに対して情報を伝えるよう符号化され、適正なモジュールに対して要求されたデータを戻すために使用される。

SLTM0~3, P この対メモリー・指定回路は SIU 100 から局部メモリー・500 に送在し、対メモリー・読み出し/書き込み回路、対メモリー・2倍精度回路、およびパリティ回路を含む。これ等の回路に与えられる情報信号は下記の如くである。即ち、

(a) ビット 0~1 は、付属モジュール内のどのポート回路をサブチキンホールがモジュールに送られたメモリー・指令を受取り又は書き込むかを示すよう符号化されたポート番号表示ビットである。

(b) ビット 2 に、新しい指令が SIU

五

回路から伝送される。インターフェースに、読み書き要求を処理するための 1 個の回路を含まず、全て SIU 100 により局部メモリーに接続されるモジュールはメモリー・読み書きを直通送りし等ない、局部メモリー・インターフェース回路について以下に更に詳細に記述する。

局部メモリー・インターフェース回路

記号	説明
DTM00~35, P0~P3	データ転送回路は、SIU 100 から局部メモリー・500 に送在する 4 バイト中の一万四千の組合 (36 個の情報回路を組み 4 つの奇数パリティ回路) を取扱う。これ等回路はメモリー・起らプログラム可能なインターフェース指令を局部メモリー・500 に送するため使用される。
RITM0~7, P0	対メモリー・リクエスト識別子に、
RITM4~7, P1	SIU 100 から局部メモリー・500 送在する 2 グループの 4 回路を

四

100 によりメモリーに送られる時、局部メモリー・500 に対して SIU 100 により前送される起動モジュールから受取る後向制御情報に含まれる対メモリー・読み出し/書き込みビットである。このビットの状態はデータ転送の方向を表示する。

(c) ビット 3 は、伝送されるべきデータ量を指示するよう符号化された対メモリー・2倍精度ビットである。又、これは、新しい指令がメモリー・モジュールに送られる時 SIU 100 により局部メモリー・モジュール・500 に前送される起動モジュールにより与えられる後向制御情報にも含まれる。

ZAC 命令受入れ回路は SIU 100 から局部メモリー・モジュール・500 送在する。セットされると、この回路は局部メモリー・モ

五

シユーム500に信号してSIU100により他の回路に与えられるZAC指令および制御情報を受入れる。このインターフェース回路のセッティングは、PI指令インターフェース受入れ回路を用いて相互に構成的である。

A P C プログラム可能インターフェースに接続して記述した如く、プログラム可能インターフェース指令受入れ回路はSIU100から局部メモリー・モジューム500に存在する。セントされると、Cの回路は、回路DTMKに与えられた指令情報が局部メモリー・モジューム500により受入れられるべき事を表示する。

PIR/ZIR プログラム可能インターフェース使用可能回路/ZACインターフェース使用可能回路は、局部メモ

リ

4バイト中の一方向性バスである。これ等の回路は、SIU100を介して記憶モジュームに或出し要求タイプデータを貢するのに使用される。

RIFM0→P0 メモリーからのリクエスト識別子
RIFM4→7, P1 の2つのグループは局部メモリーからSIU100に存在する。これ等の回路は、或出しデータをモジューム500から或出し要求モジュームに指向するために符号化されている。

DPFMとQUAD メモリーからの2倍精度回路およびQUAD回路は局部メモリー・モジューム500からSIU100に存在する。これ等回路は、或出しデータ伝送要求時間間隔においてSIU100を介して要求側のモジュームに伝送されるべきワード信号を表示するよう符号化される。

リ

—283—

特論-03J-1-674/125
リー・モジューム500からSIU100に存在する。セントされると、各回路は、SIU100に対しても、局部メモリー・モジューム500はプログラム可能インターフェース(P1)ノメモリー(ZAC)指令を受入れる事ができる事を信号する。

RDTR データ伝送要求或出し回路は、局部メモリー・モジューム500からSIU100に存在する。この回路は、セントされると、ZAC又はPI指令により前に要求された或出しタイプデータがデータを要求するモジュームに送られるべき必要な制御情報を右つて使用可能である事を表示する。

DPFM0→55, P0→P3 メモリーからのデータ回路は、局部メモリー・モジューム500からSIU100に存在する

リ

これ等の回路は下記の如く符号化される。即ち、

QUAD DPFM

0	0	1ワード、単精度
0	1	2ワード、2倍精度
1	X	4ワード (何でもよい)

D S D

或出しデータノーティング識別子回路は局部メモリー・モジューム500からSIU100に存在する。この回路の状態は、SIU100に対しても、回路DPFMに与えられる情報が或出しデータ又は回路RDTRがセントされる時の状況情報であるかどうかを信号する。セントされると、この回路は1ワード又は2ワード(QUAD=0)の状況情報が転送されつゝある事を表示する。2並列端子セントされると、この回路は4ワード毎のデータが転送されつ

リ

STK V. EMC
STK 08862

されて共通のシステム・クロック
・ソースから各メモリー・モジュ
ルの各操作を同期する。

第5回乃至第5回は、第1回のシステムの
異なるモジュールをSIU100に接続する回路を
示すが、他の回路が又例えばエラー条件かおよび操作
条件等の他の条件を信号するため含まれている
事が判るであろう。第1回のモジュールより使用
される異なるタイプのインタフェースについて
記述したが、本発明の実質に関するモジュール
の各々については以下に更に詳細に記述する。

出入力プロセサ対200-0の詳細

第2回において、対P0の各プロセサ200は、
命令を実行するための制御記憶装置201-10
に記憶されたマイクロ命令に応答して制御信号を
生成するよう作用するマイクロプログラムされた
制御セクション201と、周囲メモリー・モジュ
ル500から取出された命令を記憶するための
命令バッファ・セクション202と、記憶セクシ
ョン203と、制御記憶装置201-10に記憶

64

43

されたマイクロプログラムの制御下で復算論理操
作を行う処理セクション204とを含む。このプロ
セサ対の構成のためシステムの複雑度が保証さ
れるが、これについては前掲の米国特許出願に
いて詳細に記述されている。

制御記憶セクション201

各セクションについて更に詳細に考察すれば、
制御記憶装置201-10は例えば或出し専用メ
モリ(ROM)を用いる固定セクションからなつ
ている。記憶装置201-10は、セレクタ・ス
イッチ201-14に与えられる8つのアドレス
・ソースのいずれか1つからの信号を介してアド
レス指定可能である。アドレス指定された場所の
内容は、出力レジスタ201-15に読みされ、
プロック201-16内に含まれるデコ・ダブ回路
により信号される。

更に、図示の如く、レジスタ201-15の内
容のマイクロ命令の各フィールドの1つからの信
号は、制御記憶装置201-10に対して8つの
入力ソースのどれがアドレスを与えるかを選択す

44

るためのスイッチ201-14に對する入力とし
て与えられる。レジスタ201-15に読み出され
たマイクロ命令は、制御記憶装置201-10を
適当なマイクロプログラム・ルーチンに對して分
離させるアドレス常数を含んでいる。

第2回から判るようだ、8つの制御記憶装置の
アドレスソースには次のものが含まれる。即ち、
システム・インタフェース装置100とプロセ
サ200に含まれる複数にとり与えられる信号
から得る読み込み/例外信号、加算回路201-24
を経てレジスタ201-22に記憶される次のア
ドレス情報を受取る次のアドレス・レジスタ位置、
更にレジスタ201-20の奥アドレス内容を
受取る奥アドレス・レジスタ位置、メモリ・出
力レジスタ201-4を介してバスアインダ・
メモリ-201-2からアドレスを受取る実行ア
ドレス・レジスタ位置、これも又レジスタ201
-4からアドレスを受取るシーケンス・アドレス
・レジスタ位置、および出力レジスタ201-15
から一定数値を受取る定数位置である。

65

-284-

1つのオペランド入力としてスイッチ 201-14 により選択されるソースの1つからのアドレス信号を受取り、他のオペランド入力としてブロック 201-26 のスキャップ制御回路からの信号を受取る加算回路 201-24 により適当な次のアドレスが生成される。このスキャップ制御回路は制御記憶レジスタ 201-15 に記憶される元定数信号により操作を行はれ、前記レジスタ 201-15 は更に加算回路 201-24 に対するオペランド入力の1つとして適当な値を与える。加算回路 201-24 により生成される結果のアドレスは、スイッチ 201-14 により与えられるアドレスとブロック 201-26 のスキャップ制御回路により与えられる定数信号の和を表示する。要約すれば、スイッチ 201-14 の各位は制御記憶装置 201-10 から読み出されたマイクロ命令に応答して選択されて、プログラム命令の OP コードにより指定される操作の実行に必要とされる制御記憶装置 201-10 に記憶されるマイクロプログラムに対する適当なアドレスを与える。会

07

み (LZP および HLIP) の存在を表示する信号回路は、次のプログラム命令を実行するためのマイクロ命令シーケンスを照合する代りにマイクロ命令の読み込みシーケンスの選択を組合せる。

「例外」を表示する信号回路は、スイッチ 201-14 と関連する制御回路 (図示せず) に与えられ、例外/読み込み位置の選択を開始する。この動作はマイクロ命令の例外シーケンスを組合せるためのアドレスを与える。実行のタイプに従つて、選択するプログラム命令の実行が阻止されねばならないか不可能である (例、障害、遠送命令) ためこの例外は即時処理し得る。例外は条件が同時にアテンション (例、タイム・アウト、桁あふれ等) を必要としないプログラム命令の実行の完了と同時に処理される。前述の如く、例外の発生は、スイッチ 201-14 の例外/読み込み位置を選択させ、プロセス制御レジスタ 204-22 における適当なビット位置のセッティングを開始する。

第1回 K P D A として示されるタイミング信号は、プロセサ 200 の他のセクションの操作のため

18

-285-

特許第53-108747(14)
今ので OP コードは圖示の如く回路 201-6 を経てバスファインダ・メモリ-201-2 に与えられる。スイッチ 201-14 の異アドレス・レジスタは1分岐操作の選択としてプログラムの順序付けの間接式され、定数レジスタ位置にレジスタ 201-15 に記憶されたマイクロ命令の定数フィールドにより生成される前記記憶装置 201-10 に与ける予め定められた場所への分岐を作を行なうように選択される。

割込みはプログラム命令の実行完了時に発生される。第2回から判るようだ、高レベル割込み存在 (HLIP) およびレベル零割込み (LZP) 回路は信号をスイッチ 201-14 に与える。HLIP 回路に与えられた信号はプロセス制御レジスタ 204-22 からの読み込み禁止信号と「AND」され、その結果は LZP 回路に与えられた信号と OR される。高レベル割込み存在信号が禁止されず、即ち LZP 回路に信号が与えられる時、スイッチ 201-14 に記憶された記憶装置 (図示せず) からの信号は実行/読み込み位置を選択する。割込

19

めのタイミング信号と共に制御セクション 201 に対する適当なメモリーの操作サイクルを確保するため必要とされ、第1回のシステムの他のモジュールはブロック 201-30 内に含まれるクロック回路により提供される。本発明の目的においては、クロック回路は第2回の他の回路と共に開発上公知と見えられ、例えば 1972 年度チャタス・インストルメンツ社により刊行された「設計技術者のための振動回路カタログ」なる文書に開示された回路形態をとる事ができる。更に、このクロック回路は水晶制御による発振器とカウンタ回路を有し、スイッチ 201-14 は複数個のデータ・セレクタ/マルチプレクサ回路を有するものでよい。

前記の事から、殆んどのマイクロプログラム化された制御装置に与ける如く、制御記憶装置 201-10 は各プロセサの動作サイクルに対して必要な制御を行なう。即ち、1 操作サイクルとの間に制御記憶装置 201-10 から読み出された各マイクロ命令コードは多数の別個の制御フィールドに分

20

STK V. EMC
STK 08864

記され、前記フィールドは、異なるスクランチバ
ンド・メモリ・のアドレス指定およびオペランド
の選択のための第2段の各セレクタ・スイッチに
対する必要な入力信号と、分岐のための各テスト
条件を指定する信号と、セクション204の加算
ノンフローリングの操作を制御するための信号と、指
令を生成するのに必要な制御情報を与える信号と
を含める。前記セクション201の操作に関する
更に詳細な内容については、本願発明の権利人に
公表されたG・M・バーナン等の米国特許第
4,0001788号「バスファインダ・マイクロブ
ログラム制御システム」を参照されたい。又、本
明細書の説明に引用した各出版も参照されたい。

命令パックア・セクション202

このセクションは前記メモリ・セクション
500から取出されレジスタ204-18のデータを介して与えられる命令の4ワードを記述す
るための複数個のレジスタ202-2を含んでい
る。レジスタ202-2のダブルアは、2つの出
力から執行命令或出力(CIR)と次の命令

60

れる8位のデータ・セレクタ・スイッチ203
-14を介してアドレス指定される。アドレス入
力203-12の3つの最上位ビット位置は8位
のレジスタ(即ちレベル)の1つを選択し、残り
の4ビットは前記16個のレジスタの1つを選択
する。SIU100により活動済みレベル(AIL)
回路に与えられた信号は、3つの最上位ビットを
スクランチバンド・アドレス入力203-12に
与える。残りの信号はIRSWを介して与えられた
命令から制御記憶レジスタ201-15即ちフィ
ールドにより与えられる。

書き込みアドレス・レジスタ203-22はスイ
ッチ202-4を経てロードされ、レジスタ201
-15に含まれるマイクロ命令の各フィールドの
1つにより表示される即ち実行プログラム命令の
ビット9-12又はビット14-17のいずれかに
対応する信号を記憶する。従つて、書き込みアド
レスレジスタは、スクランチバンド・メモリ
203-10の既用レジスタの1つに結果をロード
するためのアドレス記憶を提供する。書

61

-286-

特開昭53-108747 (4)
出力(N I R)を与えるよう構成された2
位置命令レジスタ・スイッチ202-4に接続さ
れている。半ワード又は全ワードに亘る命令ワ
ードの選択は、プロック204-12の位置レジス
タの最初のものに通常記憶される执行命令カウン
タ (I C) のビット位置の状態に従つて行われる。
本発明の目的のためには、この構成は製造上公
のものと考えられる。

記憶マクション203

第2図から判るよう、このセクションは、各
々8つの優先レベルの1つを割り当てられた8つの
異なるプロセスと関連する8組即ち8グループの
レジスタを有するスクランチバンド・メモリ・から
なる。最上位の優先レベルはレベル0であり、
最下位の優先レベルはレベル7である。各グレ
ーブ即ちレベルは前述の四つに使用される16個の
レジスタを含んでいる。

スクランチバンド・メモリ・203-10は、
8つのソースのいずれかからアドレス入力203
-12に対して7ビットのアドレスを選択的に与

62

込み操作は、クロックされる書き込みフリップフロ
ップ(図示せず) の2進数1への切換に応答す
るか、レジスタ201-15にロードされるマイ
クロ命令の1フィールドに応答して生じる書き込み
クロック信号の生成と同時に生じる。書き込みフリ
ップフロップにより生成される時、この書き込みク
ロック信号は、次のPDAクロックパルスの発生
と同時に書き込みフリップフロップが2進数0にリ
セットされる時に生じる。この動作は、次の命令
の処理の開始時に生ずるプログラム命令に従する
書き込み操作の発生を許容する。

書き込みアドレス・レジスタ203-22の内容
は、レジスタ203-22が0、1又は15のア
ドレスを記憶する度に信号を出力回路に生じる
よう作用するセレクタ・スイッチ203-14を
介してデコ・ダブルスイッチ203-28に与えられる。
この信号は、書き込みフリップフロップが2進数1
の状態である時、ゲート回路(図示せず) により
書き込みクロック・パルスの生成を禁止する。更に
デコ・ダブルスイッチ203-28はプロセス状態レジ
63

エタ 204-20 からモード信号を受取る。プロセス 200 がマスター。操作モード又はスレーブ操作モードであるかどうかを表示する信号の状態は出力信号と「AND」され、プロセス状態レジスタ 204-22 に対する入力として与えられる別の出力回線上で例外信号を生じるために使用され、スイッチ 201-14 の内外鉤込み位置の選択を想起する。前述の如く、この作用はスクラッチパンド・メモリ 203-10 のプロセス状態レジスタ場所 (GR0) の内容の変更を阻止する。

アドレス指定されたレジスタ場所の内容は第 1 の 2 位置データ・セレクタ・スイッチ 203-18 を介してスクラッチ・パックア・レジスタ 203-16 に読み出される。次にこのパックア・レジスタ 203-16 の内容は別の 2 位置データ・セレクタ・スイッチ 203-20 を介して処理セクション 204 に選択的に与えられる。データ・セレクタ・スイッチ 203-14, 203-18, および 203-20 の各々の位置は、レジスタ 201-15 に読み出されたマイクロ命令に含まれ

図

は黒枠のため必要なプロセス状態レジスタの内容に対するアクセスの制限のため、このレジスタの内容を表示する信号は処理セクション 204 のレジスタの 1 つ (即ち、レジスタ 204-20) に記憶される。このようだ、プロセス状態レジスタの内容を記憶するための汎用レジスタの記憶場所は、鉤込みの発生と同時にセクション 204 のプロセス状態レジスタの現在値を記憶するよう作用する。

各ダブル・ブロッケのレジスタは更に選択するプロセスの実行命令のアドレスを記憶するための命令カウンタ (汎用レジスタ 1) を含んでいる。更に、各ダブル・ブロッケのレジスタは、ペジテブル基底レジスタ (汎用レジスタ 15) と、オペランドおよびアドレス情報のための一時的記憶を与えるための多数の汎用レジスタ (汎用レジスタ 2-14) を含んでいる。このスクラッチパンド・メモリ 203-10 は又、局部メモリー・セグメント 500 に記憶される例外制御ブロックおよび鉤込み制御ブロック・テーブルのベースを指示する地

図

特開昭53-108747 5,
る場所である。スクラッチパンド・メモリ 203-10 は、ブロック 204-12 の 4 つの作業レジスタのいずれかに選択的に接続された 1 対の出力バスの 1 つから与えられるデータ信号を受取る。

16 個のレジスタの各組に、実行プロセスの制御に必要な情報を記憶するためのプロセス状態レジスタ (PSR) 場所 (汎用レジスタ 0) を含んでいる。レジスタの最初の 8 ビット位置に鉤込みモジュールを識別するよう符号化された接続情報と記憶する。次の位置は、操作のモード (即ち、マスター・又はスレーブ) を識別するよう符号化された接続ビット位置である。このレジスタには、レジスタ内容が変更できるかどうかを表示するよう符号化された外部レジスタ・ビット位置と、アドレス・モード・ビット位置と、2 つの条件コード・ビット位置と、前述ビット位置と、実行するプロセスが活動中 (即ち、「プロセス・タイマー」として作用) 期間的に被分されるカウントを記憶するための 22 ビット位置とを含む。変更又

図

対アドレスを記憶する制御ブロック・ベース (CBB) レジスタ場所を含んでいる。変更されない地上位置先頭位レジスタの組 (レベル 0) の第 1 のレジスタ GR0 は、制御ブロック・ベースの情報を記憶する。鉤込み制御ブロック (ICB) テーブルは、鉤込みのタイプを記憶するための情報を記憶する 256 グループの記憶場所を含んでいる。例外制御ブロック (ECB) テーブルは、例外のタイプを処理するための情報を記憶する 16 ダブル・ブロッケの記憶場所を含んでいる。

例外は、16 の例外処理ルーチンの 1 つにプロセス 200 を自動的に入れるプロセス挿入条件である。この例外条件は、プロセスがマスター・モードに入る時プログラム命令のビット 10-13 に対応する 4 ビットの例外信号により識別される。他の全ての場合には、例外信号は零である。例外信号 (ECB0) は、例外処理ルーチンを指示する 4 ワード例外制御ブロック (ECB) の 1 つのは別に使用される。ECB のバイト・アドレスは、制御ブロック・ベース (CBB) - 16 (ECB0

図

+1)に等しい。各ECBは、プロセサ200が例外ルーチンに入る前に実行プロセスに関する情報を記憶するためのスタック段として作用する保留ポインタに加え、PSR、ICおよびPTBRレジスタをロードする権を含んでいる。

読み込み制御ブロック(ICB)のアドレスは、制御ブロック・ベース(CBB)+16(ICB#)に等しい。このICB#は前述の読み込みワードから得られる。同様に、ICBは4ワード・ブロックであり、PSR、IC、GR14およびPTBRレジスタに対する権を含んでいる。

処理セクション204

このセクションは、プログラム命令の処理に必要な演算処理操作の全てを行う。該セクション204は、1対の36ビットのオペランドに対しても演算、シフトおよび論理的操作を行う事が可能な加算/シフト装置204-1を含む。本装置204-1の加算装置部分又はシフト装置部分のいずれかにより生じた結果はマイクロ命令に応答して選択され、その後ブロック204-12の作

59

およびスクラッチバッド・バッファ入力スイッチ203-18)からロードできる。このレジスタがロードされると、レジスタをロードするため必要な書き込み信号はレジスタ201-15に読み出されるマイクロ命令に含まれるフィールドにより確立される。

第2図から判るように、前記レジスタは1対の出力バスWRPとWRBに接続される。バスWRPはアドレス入力204-5と、スイッチ203-18と、スクラッチバッド・メモリ-203-10に接続する。バスWRBはAオペランド・スイッチ203-20と、Bオペランド・スイッチ204-1と、レジスタ204-20と、レジスタ204-22に接続する。バスWRBおよびWRPに対して選択するため選択されたレジスタは、レジスタ201-15に読み出されたマイクロ命令内に含まれる1対のフィールドにより示される。

第2図から判るように、処理セクション204はプロセス制御レジスタ204-20とプロセス制御レジスタ204-22を含んでいる。前述の

60

特許昭53-108747(5)

レジスタのいずれか1つをおよびデータ出力レジスタ204-14に対して1対の出力回線上に4位置データ・セレクタ・スイッチ204-8を介して選択的に駆動される。データ出力レジスタ204-14はプロセサ・データ・インターフェース600の回線上接続する。

本発明の目的に対しては、図算ノシフト装置204-1は構造上公知のものと考える事ができる。又、同装置204-1は、J・P・スタッフオード(Stafford)の米国特許第3,811,103号に開示された如き思路又は本明細書に引用された他の米国特許出願に開示された回路のいずれかを含んでもよい。

ブロック204-12は、命令カウンタのためおよび命令の実行中アドレスのための一時的記憶を提供する4つの作業レジスタR0乃至R3を含んでいる。このレジスタは、スイッチ204-8に接続されたソース内のいずれか1つ(即ち、加算/シフト装置204-1、アドレス・スイッチ204-6、PSR/PCRスイッチ204-24、

60

如くプロセス状態レジスタ204-20は出力バスWRBを介してスクラッチバッド・メモリ-203-10からロードされる。プロセス制御レジスタ204-22は8つの全ての読み込みレベルに共通の36ビット・レジスタである。

プロセス制御レジスタ204-22のビット位置は下記の情報を含んでいる。ビット位置0~8には下記を含む異なるタイプのマスター・モードでない例外を表示する。即ち、

PCBビット位置	内 外 タ イ プ
0	未完了操作、回算ARA又はARDA上のSIU100からの応答なし
1	ページ・アドレスは読み状態(キーチェック)
2	ページ・アクセス結果
3	ページはメモリ・中に存在せず
4	通常操作
5	プロセス・タイマーはランアウト
6	未もみれ
7	ロックアップ障害

60

-288-

8 アドレス位置合せ不良

「誤審」なる用語に必ずしもハードウェアの故障発生を意味するものではなくエラー条件等も含むものである。

ビット位置9～15はパリティ・エラーの場所を識別し、ビット位置23～26はPNIDかここA/Iし国標から受取つたプロセサ番号とレベルを識別する。ビット位置27は制込み禁止ビット位置であり、ビット位置28～35は2進数1にセントされる時ビット位置に対応するレベル（例、ビット28＝レベル0）における制込みを表示する制込み要求ビットを記憶する。ビット位置27～35は出力バスWRPを介してブロック204～12のレジスタ列からのプログラム命令によりロード可能である。レジスタ204-20と204-22の各々の内容は、2位置データ・セレクタ・スイッチ204-24を介して4位置データ・セレクタ・スイッチ204-8の位置の他の1つに対して入力として選択的に与えられる。レジスタ204-20は又、2位置横向セレクタ・スイ

四

るか、又脱出し操作サイクルか寄込み操作サイクルであるかどうか表示するよう符号化されたマイクロ命令のフィールドの1つのビットに対応する。1メモリー・サイクルの開始即ち1指令の開始と同時に、横向スイッチ204-10からの信号はプロセサ200のデータ・インターフェース600の通常な機能に対して信号を与える横向レジスタ204-16にロードされる。前に述べたように、別の横向情報を含む指令はPI指令の場合におけるアドレス・スイッチ204-6の位置2により与えられる。

又第2回から判るようだ、機能セクション204は、WRPバスに接続されたレジスタの1つからアドレス信号を受取るアドレス入力204-5を介してアドレス指定可能なスクラッチパッド・メモリ-204-4を含んでいる。スクラッチパッド・メモリ-204-4は、局部メモリー・セグメント500をアドレス指定するための絶対アドレスの生成と使用される8つの制込みレベルの各々に対してページ・テーブル・アドレス記憶を

五

特許昭53-108747...
シ204-10と4位置アドレスセレクタ・スイッチ204-6のPI位置に接続する。

横向スイッチ204-10は、送正モジュールに対して指令を転送するため使用されるS10100に横向情報を与える、レジスタ201-15に記出されたマイクロ命令に含まれるフィールドの1つはメモリー・指令又はPI・指令のいずれかに付して適当な位置を選択する。メモリー・指令のための横向情報は、マイクロ命令に含まれるフィールドから、スクラッチパッド・メモリ-204-4からのページを付したアドレス情報又はバスWRPからの絶対アドレス情報を用いて生成される。

R/W指令に対しては、横向情報は下記の如く生成される。即ち、ビット0はR/W指令に対する2進数値であり、ビット1は局部メモリー・メモリーを規定しかつPTWビット0（ページセキ）又はWRPビット0（絶対）に対応する。ビット2～4はPTW1～3（ページセキ）又はWRPビット1～3（絶対）に対応する。ビット5～6は、これが単ワード又は2倍ワードに達す

六

供する。アドレス指定される時、スクラッチパッド・メモリ-204-4の記憶場所の内容は、アドレス・スイッチ204-6の4位置の内2つに記出される。これ等の2つの位置は局部メモリー・セグメント500のページ成形のために使用される。スクラッチパッド・メモリ-204-4のページ付け操作は特に本発明に関連するものではないため、本文では詳細な説明は行わない。

アドレス・セレクタ・スイッチ204-6の他の2つの位置はメモリー即ちPI指令を与えるために用いられる。特に、アドレス・スイッチ204-6の位置1は、レジスタ201-15に記憶されたマイクロ命令ワードのアドレス制御フィールドにより選択される時、マイクロ命令ワードの子め定められたフィールドに従つてビット0～8を含み、かつメモリ-204-4からのページ付けされたアドレス情報がブロック204-12の作成レジスタにより出力バスWRPに与えられた絶対アドレス・ビットに対応するよう符号化されたビット9～35を含むR/Wメモリー・指令情報を

七

生成する。スイッチ 204-6 の P1 位置が選択される等、このスイッチは、ビット 0 が 2 進数値であり、ビット 1 はレジスタ 201-15 に記憶されるマイクロ命令コードの 1 フィールドにより与えられ、ビット 2 は PSR レジスタ 204-20 のビット 9 により与えられかつ後プロセスがある外部のレジスタを変更できるかどうかを規定し、ビット 5-8 はレジスタ 204-20 のビット 4-7 に等しくかつモジュール内のポート即ちサブチャンネルを規定し、ビット 3 は SIU100 により与えられるプロセッサ対象を指定するよう符号化され、ビット 4 は零であり、ビット 9-35 は P1 指令の絶対アドレスに対応するバスマスク P のビット 9-5 に等しいプログラム可能インターフェース指令コードを生成する。

局部メモリー・モジュール 500 の詳細

第 4 図は、本発明のシステムおよび本発明の表示内容に従う局部メモリー・モジュール 500 の重要な実施形態を含む三ブロックを示す。同図において、モジュール 500 は、カッシュ記憶セ

77

含む 8 つのバイト・セクションに分離されている。各回路チップに、各ワードが 4 バイト (バイト 0-3 データ・ビット + 1 パリティ・ビット) を有する 4 つの 40 ビット・ワードが各ブロックが規定される 64 ブロックのアドレス場所即ち 256 のアドレス場所の容量を提供するチップの合計数を有する 128 のアドレス指定可能な 2 ビット巾の記憶域を含んでいる。

登録の記憶装置 500-22 は各カッシュ・ブロックのアドレスを記憶し、同様に 4 レベルに構成されている。構成 500-22 は、どのレベルのカッシュが次の操作サイクルの間書き込まれるかを確定するためのラウンド・ロビン・カウンタ装置 (表示せず) を含む。カッシュの異なるレベルは 80 ビットのコラムを規定し、カッシュ・ブロックに 2 つのこのようなコラムを含んでいる。登録記憶装置 500-22 はこのようにカッシュ内のブロック数に対応するコラム数に分割されている。本発明の目的のためには、本構成は構成上公知と考えられ、R・E・ランジ (Range) 等の未

69

登録記憶装置 500-13 は、補助記憶セクション 500-4、入力レジスター・セクション 500-10 と、制御回路セクション 500-6、入力スイッチ・セクション 500-8、出力スイッチ・セクション 500-10 から図示のごく構成される事が出来る。出力スイッチ・セクション 500-10 と入力レジスター・セクション 500-12 は、以下に説明するよう SIU100 を介してプロセッサ P0 又はマルチプレクタ・モジュール 300 につなげられかに対してデータおよび制御情報を送受する。図 6 図に示すようにカッシュ記憶セクション 500-2 は、構成する制御回路 500-21 を有するカッシュエ 500-20 と、構成する比較回路 500-24 を有する登録装置 500-22 と、ヒット検出回路 500-28 と、制御回路 500-26 を示すの如く構成してなる。カッシュ記憶装置は 4 つのレベル即ちセクションに構成され、その各々に構成的公知の複数個のバイポーラ回路チップから構成されている。各レベルは、天 × 5 つのバイポーラ回路チップを

68

国特許第 3,845,474 号を掲示されたばほと連絡する事ができる。1 カッシュ操作サイクルの間、4 バイトが 8 つのセレクタ回路の 1 つの番号を介して出力マルチプレクタ・スイッチ 500-10 で読み出される。

登録記憶装置 500-22 はブロック 500-24 の比較回路に対してアドレス信号を与える。構成的には公知のこれ等回路に、要求されている情報が 4 レベルの内のいずれかにかかるカッシュに存在する (即ちヒットの存在) かどうかを検出するよう作用する。比較回路 500-24 は各回路の結果をブロック 500-28 のヒット回路に与える。ヒット回路 500-28 は更に、ブロック 500-6 の制御回路回路に対して入力として与えられるヒット表示を記憶する。補助記憶セクション 500-4 は、補助記憶装置 500-40 と、タイミング回路 500-48 と、16 ビットの出力レジスター 500-42 と、データ訂正パリティ発生回路 500-44 と、ブロック 500-46 の多段の制御回路とを第 7 図に示す如く構成して

70

-27-

なる。図500-48にカウンタ回路および累積回路を含んでいる。これは構造上は公知であるが、メモリー・モジュール500-2の全操作を同期させるためのタイミング制御信号を与える。

補助記憶装置500-40に、構造上は公知の4KのMOSメモリー・チップから構成され、各ワードが40ビット(32Kブロック)を有する128Kのメモリー・ワード容量を有する。データ訂正部パリティ発生回路は、補助記憶装置500-40から読み出されかつこれに書き込まれるワードにおけるエラーを検出して訂正するよう作用する。本発明の目的のためには、これ等回路は構造上公知のものと考えれる事ができる。

第6図から判るように、入力レジスタ・セクションはゾーン、アドレス等指令(ZAC)レジスタ500-120、第1のワード・バッファ・レジスタ500-122と第2のワード・バッファ・レジスタ500-123を図示の如く組合してなる、ZACレジスタ500-120は第8回路

01

ブロック500-6の周囲回路は、ZACレジスタ500-120に記憶された指令により指定される操作を実現するための内部メモリー・モジュールの異なる部分を付与するための各種の制御装置タイミング信号を生成する。これは、補助記憶装置500-40に書きされ、又補助記憶装置500-40とカッシュ500-20からそれぞれ読み出されるデータ信号のグループを選択するための入力マルチプレクサ・スイッチ500-8および出力マルチプレクサ・スイッチ500-10に対する制御信号の分配動作を含んでいる。本発明の目的に対しても、以下に記述する第7回の周囲回路に加えて、マルチプレクサ、データ・セレクタ回路およびレジスタは構造上公知と考えられ、前述のテクニカル・インストルメンツ社のテキニカルに開示された回路の形態をとる事ができる。

第7回はブロック500-6、500-21、500-26および500-46のあるものを実質詳細に示している。同様にすれば、ブロック500-6の制御回路は複数個のAND/NAND

02

示されたフォーマントを有すとここで指令500-122と500-123を複数されて、リクニタ・モジュールによりインタフェース503のDTM回路に与えられるZAC指令のデータード(半数又は複数)を受取る。レジスタ500-122と500-123の内容に2つのマルチプレクサ・スイッチ500-8の一方の異なるバイト位置に与えられる。本発明によれば、スイッチ500-8も又、前述の如く補助記憶装置500-40とカッシュ500-20に書き込まれる組み合わされたデータを用いて断続的に入力データと組み合わされる補助記憶装置から読み出されたデータを受取る。

ZACレジスタ500-120の指令内容はブロック500-6に含まれるデコード・ゲート回路に与えられ、アドレス信号はブロック500-6の周囲回路、並びに記憶装置500-22、カッシュ500-20、およびそのアドレス指定のための補助記憶装置500-40に分配される。

03

ゲート500-60乃至500-74を有する事が判る。ゲート500-60、500-61、および500-62はZACレジスタ500-120からZAC指令ビット信号およびカッシュ・バイバス信号の異なるものを受取るよう複数されている。これらの信号は図示の如く組み合わされ、ゲート500-64および500-74に与えられる。その結果得られる読み出しロードおよび組み合いで読み出された信号はカッシュ制御回路500-21、並びに記憶装置500-26および補助記憶装置500-46に対して図示の如く与えられる。RCL000 およびRCL100 の出力信号は又補助記憶装置500-46に与えられる。

第7回から判るように、カッシュ制御回路500-21は、書き込みカッシュ・タイミング信号WRCACHE100 を書き込みクロント可逆回路500-214に与える並列接続されたNAND/ANDゲート500-210および500-212を有する。書き込み可逆回路500-214は構造上公知

04

の読み作用ゲート回路を含み、この回路は書き込み作用サイクルの実行に必要なカッシュ 500-20 に対する適当なタイミング信号を与える。更に、割り込みは、書き込み指令かおよび読み出し命令にそれぞれ応答して補助記憶装置 500-40 から 80 ビットの更新されたデータからブロックのデータのいずれかをカッシュに書き込むに必要なアドレス・ビット 32 の状態を変更するよう作用する AND/NAND ゲート 500-216 乃至 500-222 を更に含んでいる。

同様に、登錄解剖回路は直列接続された NAND/NAND ゲート 500-260, 500-262 および 500-264 を含み、その並びのゲートに書き込み可能回路 500-266 に対して書き込み登錄タイミング信号を与える。この書き込み可能回路 500-266 は構造上公知の超越ゲート回路を含み、これは書き込み作用サイクルの実行に必要なとされる登錄解剖装置 500-22 に適当なタイミング信号を与える。

補助記憶装置回路 500-46 は第 1 のグルーピング

の該回路の使用可能動作が禁止される。

第 7 図の並びのグルーピングの回路は第 6 図のヒント・レジスタ回路 500-28 を構成する。この回路は、図示の並く接続された AND ゲート 500-281 に加えて NAND/NAND ゲート 500-280 と 500-282 を含む。NAND/NAND ゲート 500-280 は、比較回路 500-24 からその結果生じた比較信号を受取り、ゲート 500-282 に登錄解剖表示を与える。更にゲート 500-282 の出力はヒント・レジスタ・フリップフロップ 500-284 のセット入力に与えられる。NAND/NAND ゲート 500-284 はフリップフロップ 500-284 のリセット入力に対し状態反転して与える SIU100 からの受入れ ZAC 信号を受取る。フリップフロップ 500-284 からの 2 進数 1 および零の出力信号はその後第 7 図のブロックの各々に対して分配される。ブロック 500-478 の該回路は書き込み信号を生じるよう作用する公知のゲートを含む。

システム・インターフェース装置 100 の詳細

第 6 図のブロック 500-460 乃至 500-468 を含む。これ等ゲートに補助記憶装置要求信号 BSREQ100 を生成し、データ信号に補助記憶装置の読み出し/書き込み動作サイクルを開始させ、SIU100 に対して補助記憶装置のデータの転送を可能にするよう作用する。ゲート 500-460 乃至 500-468 は、登錄爆破ヒットがない時（即ち、信号 LM0000=1）読み出し/書き込み操作サイクル、書き込み操作サイクル、および読み出し/クリア操作サイクルに対する補助記憶装置要求信号 BSREQ100 を生成する。第 2 の直列接続された AND/NAND ゲート 500-470 乃至 500-476 は、ニラ・条件（即ち、信号 LM0000 が 2 進数零である）の発生と同時に補助記憶装置書き込み禁止信号 DISABLESTR100 を生成するよう作用する。次に、WRITE サイクルの戻出し部分においては、非選択二二一条件の検出は信号 LM0000 を 2 進数零に監視する。このため、ブロック 500-266 と 500-214 の該回路と共にブロック 500-478

78

書き込みセクション 101

前述の如くシステム・インターフェース装置 100 は複数個のクロスバー・スイッチを介して第 1 図のシステムの各モジュール間の連絡を行う。別個のクロスバー・スイッチを用いてモジュールの各インターフェースの回路からの信号を収集する。第 3 図はモジュール書き込みインターフェースを構成するための書き込みセクション 101 の各スイッチおよび回路を示す。第 1 図のシステム元は各々がその書き込みインターフェース 602 の異なる回路を介して SIU100 に対し信号を与えるポート LM0, A, E, G および J に接続するモジュールがある。更に、SIU100 は又第 1 図のポート J と接続する書き込みインターフェースを介して信号を与える。

第 3 図から判るように、データを要求する各モジュールは、書き込み優先順位選別器ブロック 101-2 の該回路に与えられるその I/OA 回路上の適当な書き込み優先子情報を共に、その書き込み要求 (IR) 回路上に信号を与える。ブロック

79

-2.

101-2の端回路は全ての読み込みインターフェースを監視し、実行中のプロセスの優先度により高い順位を有する要求がある時プロセサ200に対応する通常なプロセサに信号する。プロセサ200が要求を受入れる事ができる事を信号する時、SIU100はプロセサ200に対する優先度の要求と関連する並列子情報をクートする。この並列子情報を、パリティ・ビット、3ビット読み込みレベル信号、およびパリティ・ビットと4ビット・チャンネル信号を有する1ビット・プロセサ信号を有する8ビットの読み込み制御ブロック信号を有する。

読み込みセクション101について更に詳細に考察すれば、ブロック101-2の端回路にはプロセサ信号および読み込み要求信号を信号するデータ回路を含む。パリティ・エラーがないものと仮定すれば、データ回路からの出力信号は表示されたプロセサの端回路の優先順位端回路に与えられる。優先順位端回路は読み込みレベル信号を信号し、優先度レベルを決定し、次いで最後先

四

回路又はレベル零存在(LZP)回路の2進数1への強制に先立つて強制されたSIU100に応答してプロセサ200がIDR回路を2進数1に強制する時、AIJ回路に与えられる。該プロセスが読み込みされないよう禁止されていなければ、読み込み要求にプロセサ200が実行プロセスを中断させ、前述の並列子情報を含むSIU100から読み込みワードを受入れさせる。特に、この読み込みワードは下記の如くフォーマット化される。即ち、

ビット0は新らしい読み込みビット位置である。2進数1にセットされると読み込みは新らしく、2進数0にセットされると読み込みは再開されるべき前の読み込まれたプロセスである事を表示する。

ビット1-17は使用されず、2進数零である。

ビット18-27は読み込み制御ブロック信号を規定してビット18と27を2進数零にセットさせる。

ビット28-31はSIU100により生成され、本発明に従い本文中に説明される如くソース・モジュールを識別する。

五

特開昭50-116747.1. レベルと並上位のポート単位を有するモジュールが選択されたるようポート順位を決定する。あるレベル内の読み込みポート順位は下記の如くである。即ち、オールドポートI; ポートA、ポートB、ポートC; ポートD; ポートE; ポートF、ポートG; ポートH; ポートJおよびポートK。この事は、第1回のシステムにおいては実行プロセスのポートが優先度順位を有し、これに次いでSIU100、高速マルチプレクタ300、上位プロセサ700、プロセサ200、および低速マルチプレクタ400となる。

ブロック101-2の優先順位端回路には他の二つの回路の1つに出力信号を生じるよう作用する(但し、ロジック回路内の読み込みモジュールの数)。他の出力回路は8位のデータ・セレクタ・ライン101-4に与えられた、該ラインはこの時レジスタ101-6にードされたつあるレベルより高い優先順位を有する読み込みレベルの読み込みレベル信号を選択する。レジスタ101-6からの出力信号は、高レベル読み込み存在(HLIP)

六

ビット32-35は多数のポートを有するモジュールにより生成され、本発明に従い本文中に説明される如くソース・モジュール内のアバランチ回路を識別する。

ブロック101-2の端回路の構成に関する更に詳細な内容については、本明細書の後半に記載した「優先順位読み込みハードウエア」なる係中の米国特許出願を参照されたい。

又、読み込み優先回路101-2からの出力回路に別のデータ・セレクタ・ライン101-8に与えられる事が判る。優先順位を有する優先モジュールのみが信号をセレクタ回路101-8に与えるため、セレクタ回路は、優先度のモジュールが与える優先順位が接続する物理的ポート(即ち読み込みワードのビット28-31)を識別するため定めたワイヤド・インされた符号化接回路の組を与えるように接続されている。

本実施要領においては、下記の指向コードが第1回のモジュール識別のために生成される。

七

シード	識別された SIU ポート (モジュール)
0000	局部メモリー・モジュールポート
	L M C
0001	ポート K
0010	SIU100 - ポート L
0101	高速マルチプレクサ 400 - ポート J
0110	プロセサ 200 - ポート G
1101	高速マルチプレクサ 300 - ポート A
1110	上位プロセサ 700 - ポート E
	セレクタ回路 101 - 8 により生成される 4 ビット・コードは更にゲート回路制 101 - 12 内に含まれる 1 グループの公知の AND ゲート回路に与えられる。異なるソース・システム・モジュールにより与えられる他の識別子情報は又回路制 101 - 12 の他のゲート回路に与えられる。特に、各モジュールは、8 位置のデータ・セレクタ・エイクタ回路 101 - 14 の各位置の 1 つに対してその I D A 回路を介して読み込み制御ブロック

④

データ・フェース 600 上のマルチプレクサ 300 に転送するかを確定する優先回路を含んでいる。更に、セクション 102 は、どのソース・モジュールがデータ又は指令を局部メモリー・モジュール 500 に転送しようとしているかを決定する優先回路を含んでいる。

1 モジュールが他のモジュールに対する要求を生成した時 1 対のモジュール間の転送が生じる事、およびこの要求が他のモジュールにより受入られた事が判るであろう。要求が受入れられるためには、要求側のモジュールは優先順位を持たねばならず、両モジュールは情報を受取る状態になければならず、転送が行われる転送経路に使用可能でなければならない(即ち、使用中でない)。

プロセサ 200 によりセクション 102 に与えられる信号に固としては、これ等信号の発生は、第 2 図のプロセサ・レジスタ 201 - 15 に読み出されるマイクロ命令の異なるフィールドにより大きく左右される。例えば、ブロック 102 - 4 の端回路に与えられるプロセサ 200 からの信号

④

信号 S3 - 1, S74 (セレクタ回路 101 - 12 のゲート回路の他のもの) とソース・モジュールの要求側のデータインプル出力ポートを識別する情報を与える。プロセサ 200 がその読み込みデータ要求 (IDR) 回路を 2 進数で強制する時、SIU100 はゲート回路制 101 - 12 からの信号を 4 位データ・セレクタ・エイクタ回路 101 - 20 の各位置の 1 つを介してプロセサ・データ・インターフェース 600 に SIU からのデータ (DFS) バス回路に与える。エイクタ 101 - 20 の他の位置については未発明の連絡と関連しないため図示しない。

データ転送セクション 102

第 36 図はシステム・インターフェース板面 100 のデータ転送セクション 102 を示す。このセクションは、どのソース・モジュールが指令をそのプログラム可能インターフェース 600 上の高速マルチプレクサ 300 に転送し、かつどのソース・モジュールがデータをそのデータ・イン

④

ポート要求 (AUPR) 回路は、読み出し/書き込みメモリー・出力ポート可能インターフェース指令の転送を規定するよう符号化されるレジスタ 201 - 15 に読み出される各マイクロ命令の SIU 要求タイプ制御ビット・フィールドに従つて可能となる。2 位置データ・セレクタ・エイクタ 102 - 2 に与えられるプロセサ・データ・インターフェース 600 の SIU データ回路 (DTS) は、第 2 図のプロセサ・データ出力レジスタ 204 - 14 にロードされるマイクロプログラム制御下で生成される指令情報を構成する。SIU 指向データ (SDTS) 回路は、第 2 図のプロセサ指向レジスタ 204 - 16 にロードされるマイクロプログラム制御下で生成される信号を生成する。

第 1 図のシステムに対しては、1/0 プロセサのみが指令をマルチプレクサ 500 のみに転送し、プロセサ 200 は信号を回路制 102 - 4 に与える。従つて回路制 102 - 4 は、モジュールが指令をマルチプレクサ 300 に転送を試する時点を確定するためプロセサ・モジュールから转向情報を

④

を復号するデータが固端を含んでいる。1つ以上のモジュールが同じサイクル中に転送を試する時1つめ上位ノードプロセッサがある場合、固端網102-4に含まれる送先端位置識別子と送信元端子をも含てたらるモジュールを選択し、そのプログラム可能インターフェース600のPDFS固端上のマルチプレクタ300に対する前記モジュールによる指令の転送を可能にする。特に、固端網102-4は、選択したモジュールからの信号を送信する2位置セレクタ・スイッチ102-2に対して信号を与える。これに、マルチプレクタ300がSIU100に対し、PIR固端を2端子1に選択する事により指令を受入れる用意がある事を信号する時に生じる。同時に、固端網102-4はAPIR固端を2端子1に選択してマルチプレクタ300に対してPDFS固端に与えられた指令を受入れる事を信号する。プロセッサ200が命令を実行してこれたプログラム可能インターフェース(PFI)指令をマルチプレクタ300に対して送りさせる時、プロセッサ200は指令のビット3に

00

命(ZAC)に応答して生じる。マルチプレクタ300が指令を前述する時、SIU100は、マルチプレクタ300から受取つたマルチポート識別子情報を従属する選択な4ビットのリクエスト識別子コード(雙向コード)を生成する。この情報はメモリー・モジュール500により記憶され、モジュール500が脱出しデータ転送要求を生じてマルチプレクタ300がこのデータを受取るべき事を表示する時SIU100に戻される。又、SIU100はこの要求を受入れる時、固端ARDAを2端子1に選択する事によりマルチプレクタ300に通知する。

脱出しデータ転送要求(RDTR)固端は、メモリー・モジュール500によりセットされる時、固端網102-14に対して1操作サイクルの間に脱出された情報を転送する用意がある事を信号する。内部メモリー・モジュール500は又メモリーからのリクエスト識別子(RIFM)固端に信号を与えて情報が転送されるべき要求側モジュールを識別する。

四

プロセッサの番号通知を置く。マルチプレクタ300に、脱出要求を出しこの再アドレス番号が前述の如く脱出セレクタの一節として含まれる事に指令されたプロセッサ番号を記憶する。ドクタ命令がマルチプレクタ300に前述される時、ドクタとしての機能は固端をプロセッサ200はマルチプレクタ300(ポートA)と認識するシグナル102-6に起動される。前述の如く、マルチプレクタ300がデータ転送ニシ要求をSIU100に対して生成する事に応答する時、レジスタ102-6の内容にデータを受取る実際のモジュールとしてプロセッサ200を識別するのに用いられる。

データ信号をマルチプレクタ300に転送するため同様な構成が用いられる。第1回において、メモリー・モジュール500はデータをマルチプレクタ300に転送する唯一のモジュールである。このような転送は前述の如く固端網102-20を介してマルチプレクタ300によりメモリー・モジュール500が前述される脱出しメモリー・

四

帶に、データ固端網102-14内の諸固端はPIFM固端に与えられた識別信号を復号し、内部メモリー・モジュール500が情報をマルチプレクタ300(マルチプレクタ300がこの情報を受取る用意があるものと仮定して)に情報を転送する用意がある事を前記信号が表示する時、データ固端網102-14に選択な信号をセレクタスイッチ102-12とゲート固端網102-16内の諸固端とに対して与える。

更に、データ固端網102-14に信号をデータインターフェースの脱出しデータ受入れ(ARDA)固端に与えて、そのインターフェース600のSIUからのデータ(DFS)固端を受入れるべき事をマルチプレクタ300に対して信号する。プロセッタ102-16の諸固端は送信なマルチポート識別子情報をSIUからのマルチポート識別子(MIFS)固端に与え、RIFM固端から得られる要求側アドレスチャネルを識別する。転送が生じる時、固端網102-14はRDAA固端を2端子1に選択して、要求側のモジュールを

四

してデータがメモリー・モジュール500Kより
送入れられた事を信号する。

回路網102-14に接続の回路をSIU100
に用いて第1回のモジュールのいずれかからの
PIおよびメモリー指令をモジュール・モジユ
ルへ500K転送する。モジュール500は、ブ
ログラム可能インターフェース又はメモリー・指令
のいずれかを受入れる用途がある時、データ回
路網102-20に与えられるプログラム可能イ
ンターフェース要求(PIR)回路又はZACイ
ンターフェース要求(ZIR)回路のいずれかを
2進数1に強制するよう作用する。更に、プロセ
サ200と、プロセサ700と、マルチプレクサ
300とは回路網102-20の信号を活動出力
ポート要求(AOPR)回路に、又接続データを各
データ・インターフェースのSIU回路に与える。
モジュールの各々により与えられる接続情報の信
号と同時に回路網102-20は、メモリー・モ
ジユール・データ・インターフェース603の対
SIUデータ転送回路に対して越後先頭位を有す

81

テ102-20を介してプロセサ200に転送す
るよう作用する。プロセサ200は一時に1つの
指令を処理するため、プロセサ要求に応答してブ
ロセサのDFS回路に対する転送のためセレクタ
・スイッチ102-20に対しデータを与えるモ
ジユール間には競合が生じ得ない事が判るであろ
う。即ち、プロセサ200が指令を第1回のモジ
ユールの1つに選出した後、その作用は抑制され
て要求されたデータの受取りを確保する。SIU
100は、プロセサの要求の受入れと同時に、ブ
ロセサARA回路を強制してプロセサの操作を遮
断させる。

別個の回路網102-40はPI指令に応答す
るこれ等モジュールからのデータ戻し要求を処理
する。回路網102-40は、図示しない他のモ
ジユールのレジスタと共にレジスタ102-6か
らRDTR回路に与えられる信号を信号する。モジ
ユールが要求されたデータをプロセサ200に與
そうとしている時(即ち、マルチプレクサ300
のレジスタ102-6に記憶されたリクエスト或

82

特開昭53-106747 24
るモジュール回路を与える事を可能にするため
の3位置セレクタ・スイッチ102-24に選出
な信号を生成するよう作用する。又、回路網102
-20に、データ回路網102-26を介してモ
ジメモリー・モジユール・インターフェース603
の対メモリー要求識別子(RITM)回路上の選出
なリクエスト識別信号と共に、プログラム可能指
令受入れ(APC)回路又はZAC指令受入れモ
ード(ZAC)のいずれかに対し信号を与える
事が判る。

最後の2つの回路網102-30と102-40
を用いてメモリー・データおよびプログラム可能
インターフェース・データを、プロセサ200に
より前に生成されたメモリー指令およびPI指令
のそれぞれに応答してプロセサ200に対し転
送する。第3回から判るよう、既先頭位テ
コ・データ回路網102-30は回路網102-14と
同じ入力回路を有し、同じ方法で要求されたメモ
リー・データを第3回のデータ・セレクタ・ス
イッチ102-32と4位置のセレクタ・スイッ

83

別子)事をSIU100が検出すると、回路網102
-40は、要求されたデータをプロセサ200に與
えうとするモジュールのPIインターフェース
のPDT回路からの信号を与えるよう3位置デ
ータ・セレクタ回路102-42を条件付ける信
号を生成する。これ等の信号は、更に、モジ
ユール要求信号により条件付けられたる第3回のセ
レクタ・スイッチ101-20を介してプロセサの
DFS回路に与えられる。次の操作サイクルの間、
回路網102-40はRDAA回路を2進数1に強
制して、PDT回路に与えられたデータが受入れ
られた事、およびこのモジュールはこの時このよ
うなデータを除外できる(即ちその出力レジスタ
をクリアする)事をモジユールに対して信号する。
このように、スイッチ101-20は3つのタイ
グのデータの内のいずれか1つをプロセサのデ
ータ・インターフェース600のDFS回路に選択
的に与える事が判る。

本発明の目的においては、第3回のプロセサ
の各々に含まれる該回路は構造上公知であると考

84

エ内で行われて情報がカッシュから取出される。

2. 読み出し/クリア單指令

アドレス指定されたメモリー場所の内容(1ワード)は読み出され、リクエスターに送出され、メモリー場所(1ワード)は良好なパリティ(又はEDAC)ビットを用いて常にクリアされる。アドレス指定されたワードを含むデータブロックはカッシュにロードされない。もしこのブロックが既にカッシュにロードされれば、アドレス指定されたワードも又カッシュ内で常にクリアされる。

3. 読み出し2倍指令

アドレス指定された時のメモリー場所(2ワード)の内容が読み出されてリクエスター・ワードに直次送出される。メモリーの内容は変更されない。ZACビット9はカッシュがロードされるかバイパスされるかを規定する。然し、もしこのブロックが既にカッシュにロードされていれば、読みしサイクルはカッシュ内で行われて情報がカッシュから取出される。

4. 書き込み單指令

カッシュビット	読み出し単操作				読み出し・クリア単操作				読み出し2倍操作				書き込み単操作(ノーブル)				書き込み2倍操作			
	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0
CMD	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1
	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0
	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0

える事ができ、テヤナス・インストルメンツ社の前記の文献に示される構造図面を含めててもよい。又、本発明の目的に対しても、スイッチング回路側は從来周知のクロスバー・スイッチを含む事ができる。

作用説明

本発明のシステムの作用については、第1図乃至第9図に従して以下に説明する。第8図から判るように、局部メモリー・モジュール500は多くの異なるタイプのZAC指令の実現が可能である。要約すれば、モジュール500は下記の四つ定義される5つの異なるタイプのZAC指令の実現が可能である。

1. 読み出し單指令

アドレス指定されたメモリー場所の内容(1ワード)が読み出されてリクエスターに送出される。メモリー内容は変更されない。ZACビット9は、カッシュがロードされるかバイパスされるかを規定する。然し、もしこのブロックが既にカッシュにロードされていれば、読みしサイクルはカッシュ内で行われて情報がカッシュから取出される。

図

リクエスターにより与えられるデータ・ワードの1乃至4バイトがアドレス指定されたメモリー場所に記憶される。記憶されるバイトはゾーンビットで指定される。ゾーン・ビット5, 6, 7および8はそれぞれビット0, 1, 2および3を割り当てる。記憶されないバイト位置のメモリー場所は変更されずに残る。アドレス指定されたワードを含むデータ・ブロックはカッシュ内にロードされない。然し、ブロックが既にカッシュ内にある時、ワードが更新される。

5. 書き込み2倍指令

リクエスターにより与えられる2データ・ワードはアドレス指定された時のメモリー場所に記憶される。このデータ・ブロックはカッシュにロードされない。然し、ブロックが既にカッシュ内にある時、2ワードが更新される。

異なるZAC指令に対する対応のコードは下記の如くである。他の可能な110コードが適性として定義され、前述の四つエラー信号を生じる。

図

例えば、最初に P 0 のプロセッサ 200 の 1 つが一連のプログラム命令の実行を開始するよう作用し局部メモリー・モジュール 500 の命令を指定するものとする。この事例では、最初と後続する命令は、指標値およびアドレス・シラブルを含む別のフィールドを記憶する汎用レジスタを指定する少くとも 1 つのフィールドを含むようフォーマット化される。汎用レジスタ指標値の内容は、2 過程等でセットされたものと仮定されるバイバス・ビット 9 の状態を規定する。プロセッサ 200 には各を組み合わせて絶対アドレスを生じる。

一たん組合アドレスが計算されると、プロセッサ 200 は所要のメモリー・指令ワードと、局部メモリー・モジュール 500 に命令を指向するための適当な SIU 操作情報を生成する。換向および命令は第 8 段に示されるフォーマットを有する。

前述のとを更に詳細に考察すれば、各命令の OPCODE は ZAC 指令の発生により行われるメモリーの操作動作を指定するよう符号化される。最初の命令の OPCODE は命令レジスタスイッチ

図

ルの指標が指定される時、第 2 の汎用レジスタ場所に記憶される値を、レジスタ R 2 において以前に記憶された結果に加算する同様な操作が行われる。ビット 9 に対する適当な値は第 1 の汎用レジスタにおけるよりもむしろ第 2 の汎用レジスタに記憶され得た事が容易に判るであろう。

命令の実行相たにおいては、プロセッサ 200 は局部メモリー・500 に対して ZAC 指令を生成するよう作用して式にし操作を指定し、メモリー・204-4 又は R 2 レジスタのいずれかから得た適当なメモリー・アドレスを与える。絶対アドレスをとれば、レジスタ R 2 からのアドレスは R/W パスに与えられ、アドレス・スイッチ 204-6 およびクロスバー・スイッチ 204-8 の R/W 位置を介してデータ・アウト・レジスタ 204-14 にロードされる。

換向スイッチ 204-10 はメモリーの操作サイクルに対する SIU 指向を与える。信号は第 8 回のフォーマットを有し、R/W 指令を局部メモリー・モジュール 500 又はこのモジュールが指

(10)

202-4 によりメモリー・モジュール 500 に与えられるメモリー・201-2 に与えられる。この命令の内容はレジスタ 201-4 で記述され、命令に記述に必要とされるマイクロ命令シーケンスの位置は位置 201-10 における記憶アドレスを指定する 1 行のアドレスを含んでいる。

命令の実行中に開始する第 1 の命令処理相においては、次の命令の指標ビットはスイッチ 203-14 の位置を介してスクラッチパッド・メモリー・203-10 の汎用レジスタ場所の指定された 1 つをアドレス指定するのに使用される (即ち、Rev. XR1)。場所の内容はバッファ 203-10 に読み出される。

指標レジスタの内容はスイッチ 203-20 の位置 0 を介して、命令の定位フィールドがスイッチ 204-1 の位置 0 を介して加算回路 204-2 の B オペランド入力に与えられる加算回路 204-2 の A オペランド入力に与えられる。両者は一時に加算され、その結果はスイッチ 204-9 を介して作成レジスタ R 2 に転送される。第 2 レベ

(10)

段するポートし R 0 に転送するため SIU が使用する情報を与える。これ等信号は、マイクロプログラム制御下でレジスタ 201-15 およびアドレススイッチ 204-6 から換向スイッチ 204-10 の R/W 位置を介して換向レジスタ 204-16 のビット位置にロードされる。

マイクロ命令フィールドの符号化および換向情報の生成に関するこれ以上の内容については、係属中の米国特許出願「メモリー・アクセス・システム」を参照され度い。

両方のレジスタ 204-4 および 204-16 のローディングに続いて、プロセッサ 200 は AOPR 回路を 2 過程 1 回強制し、この状態が R/W 指令の局部メモリー・モジュール 500 への転送のための信号シーケンスを開始する。又、プロセッサ 200 は命令カウンタ (IC) を増分し、作成レジスタ R 3 にその結果を記憶する。次いでプロセッサ 200 は、SIU100 から ARA 回路を介して信号を受取り要求の空入れを表示する直次のマイクロ命令の実行を遮断させる。

(10)

SIU100 は、データ・サイクルに既くアドレス/命令サイクルである 1 対の S:J サイクルを要求するものとして R/M 指令を示す。局部メモリー・モジュール 500 が指令を受入れる用意があるものとすれば、ZIR 固體を 2 進数 1 である (第 9 圖において式形は負の論理信号で示される)。第 3 の SIU 金先回路 102-4 は、操作サイクルの間隔をメモリー・インターフェース 602 の DTM 固體に対して SIU セレクタ・スイッチを介して指令コードを考えるよう作用する。プロセサ 200 は、SIU100 が ARA 固體を 2 進数 1 に強制する迄指令コードをデータ・アウト・レジスター 204-14 に保持しながら待機する。同時に、SIU100 は A Z C 固體を 2 進数 1 に切換える。モジュール 500 に対して R/M 指令を受入れる事を信号する (第 9 圖参照)。

ARA 固體における状態の変化の検出と同時に、プロセサ 200 は、マイクロ命令の制御下で命令の処理を完了する。即ち、要求されたデータ・ワードが前述の如く SIU100 から受取られる迄待機

(103)

レス信号は、データのブロックが既にカッシュ 500-20 に存在するかどうかを確定するために使用される。

又、回路 DTM 17-33 に与えられるアドレス信号も又これから、ブロックのデータからの読み出しがため記憶装置 500-40 に与えられる事が判る。

第 9 圖から、要求される情報が既にカッシュ 500-20 に記憶されたかどうかを決定するため全記憶装置 500-22 の検査を即時開始する事が判る。この検査操作は、クロック・パルス 1T と 2T 間の間隔の間に実行される。本事例においては、プロセサ 200 により要求される情報の一覧がカッシュ 500-20 に存在するものと仮定する。

第 6 圖において、ブロック 500-6 の固體は ZAC 指令のビット 1-4 を信号する事が判る。ゾーン・ビット 5-8 などのバイパスがメモリーに書き込まれるべきかを指定するよう符号化される。ビット 1 は 2 進数 1 でありビット 2-4 は 2 進数

(104)

号第 53-10874727.

する。

ここで、メモリー・指令に書き込み操作を指定するように符号化される。第 8 圖および第 9 圖において、ZAC 指令コードの信号が二進アドレス・データは、時点 1T (即ち、システムクロック・パルス 1T が 2 進数 1 から 2 進数 0 に切換る時) において A Z C 固體からの信号 A Z C 100 に応答して ZAC レジスター 500-120 に記憶されたアドレス信号は DTM 固體 17-33 から第 6 圖に示される如く全記憶装置 500-22 および全記憶装置 500-24 に対して入力として与えられる。

特に、DTM 固體 26-32 に与えられるアドレス信号は全記憶装置 500-22 をアドレス指定するためのブロック・アドレスとして使用され、回路 DTM 17-25 に与えられるアドレス信号は全記憶装置 500-22 を書き込まれる信号に対応する。全記憶装置 500-24 に与えられる同じアド

(105)

等であるため、信号 WR000 は 2 進数等である。従つて、ゲート 500-61 は信号 RR100 を 2 進数等に強制し、信号 WR/RCL100 を 2 進数 1 に強制する。信号 WR/RLL100 はゲート 500-64 に対して与えられる。

信号 LME/DE000 は、通常局部メモリー・データ又は全記憶装置のない時 2 進数 1 である。要求される情報がカッシュ 500-20 にあるものとすれば、ゲート 500-280 に信号 DIRCOMP100 を 2 進数 1 に強制する。これに、更にゲート 500-282 をしては信号 SETHIT 100 を 2 進数 1 に強制させる。クロック信号 CLKDIR020 の発生と同時に、ヒント・レジスター・フリップフロップ 500-284 が 2 進数 1 に切換る。従つて、信号 HIT000 と HITREG 100 はそれぞれ 2 進数等と 2 進数 1 に対応する (即ち、ヒント検出される)。

信号 WR000 はゲート 500-462 を条件付けして補助記憶装置の信号信号 BSCMD100 を 2 進数 1 に強制させる。書き込み指令が送信である

(106)

(即ち、第三コードおよびフォーマント)ものと仮定すれば、信号TCERROR000は2進数1である。従つて、補助記憶装置のタイミング信号SLC4T/NSL02T100の発生と同時に、ゲート500-464は補助記憶装置の要求信号BSREQ100をタイミングパルス1Tと2Tの間の間隔(第9回参照)において2進数1に強制するよう作用する。これは補助記憶装置500-40に信号してメモリ・操作サイクルを開始させる。更に、信号WR000はゲート500-470をして信号BSWR100を2進数1に強制する。これは書き込み半指令であるから、ゲート500-472は信号WRDE000を2進数1に強制する。従つて、信号LME000の状態はゲート500-476が信号DISABBWR000を2進数0に強制するかどうかを確定する。エラーがないものと仮定するため、2進数1である信号LME000はゲート500-476を条件付けして信号DISABBWR000を2進数1に強制する。これは、補助記憶装置の書き込み操作を生じさせる。

(107)

置換されるべき事を指定する。アドレス・ビットA33000が2進数1である時、ゾーン・ビット16号は、信号WD000-36100およびWDPO-P3100に対応するコード1のどのビットが補助記憶装置500-46から読み出された信号RD00-36111およびRDPO-P3111を置換すべきかを確定する。然し、アドレス・ビットA33000が2進数0である時、ゾーン・ビット16号は、信号WD37-7111とWDPO-P7100に対応するコード2のどのビットが信号RD37-71111およびRDPO-P7111を置換すべきかを確定する。第9回に示す如く信号におけるデータは時点2TでSIU100に与えられる。

スイッチ500-8から結果として組み合わされた出力信号WD000-7110およびWDPO-WDPO71110は、時点T7でカッショ記憶装置500-20とブロック500-44の検査ビット生成回路に対するデータ入力として与えられる。従来の方法では、これ等回路は新旧の組み合わせデータ信号に対する所要のエラー検出兼訂正検査ビット

(108)

補助記憶装置の要求に応答して、補助記憶装置500-40はデータの16ビットをエカレンス500-42に読み出すよう作用する。このデータは、第9回に示す如くタイミング・パルスT7の発生に先立つて回路500-44のエカレンスで適正形態で生じる。

第6回から判るように、補助記憶装置500-46から読み出されるデータおよび検査信号WD000-71111およびRDPO-P7111はスイッチ500-8に対して1ビットの入力として与えられる。これ等の信号はレジスタ500-12からデータおよび検査信号WD000-71111およびWDPO-P7111と合成される。これは、アドレス・ビット33および指令ビットの状態の機能として異なるビットのソースを直通選択する回路BTMOS-08100に与えられるゾーン・ビットは号の呼び化である。書き込み半指令の場合、ZACレジスタ500-12から得られるアドレス・ビット33の状態は、補助記憶装置500-46からのどのワードのビットがSIU100からのワードで

(109)

を生成する。訂正できないエラー条件の場合には、これ等の回路は、強制されるべき信号LME000を2進数0に強制する書き込みエラー信号を生成する。その結果前述の如く書き込み操作サイクルの切りを生じる。

信号RDLOAD100は2進数0であるため、ゲート500-260はゲート500-262を条件付けして信号ENABLEWR100を2進数0に強制する。従つて、書き込み可能回路500-266は使用禁止された状態を維持する。然し、第7回からは、信号WR000がNAND/ANDゲート500-61をして信号WR/RCL100を2進数1に強制させる事が判ろう。書き込みエラー又は初期メモリ・エラーがないものと仮定したので、信号LME/DE000は2進数1となる。従つて、補助記憶装置のタイミング信号BSBT101の発生と同時に、NAND/ANDゲート500-64は信号WRLOAD000を2進数0に強制する。信号WRLOAD000はNANDゲートをして信号WRC-ACHE100を2進数1に強制する。従つて、

(110)

NAND/AND ゲート 500-212 は、クロック信号 CLK141 の発生と同時に信号 WRCACHE100 を 2 進数 1 に強制するよう作用する。

第 9 図から判るように、カッシュ書き込み可能回路 500-214 がタイミング・パルス 8T の間書き込みカッシュ信号 WRCACHE100 により条件付けられて回路 DTM-26-31 に与えられるアドレス信号により指定されるコラムにおいて組み合わせ信号 WD00-71110 と WDPU-P7110 をカッシュ記憶装置 500-20 に書き込む。アドレス・ビット 3,2 の状態は、80 ビットが書き込まれるべきブロックの特定のコラムを規定する。更に、信号 LWH80100 は 2 進数 1 (下位の 80 ビットに書き込み) であり、これがゲート 500-218 をして信号 RDLDU80000 を 2 進数 1 に強制させる。ゲート 500-222 はアドレス信号 CAADDR32100 に ZAC レジスタ 500-120 に記憶された状態アドレス信号をとらせる。即ち、アドレスビット 3,2 が 2 進数 1 である時、信号 CAADDR32100 は 2 進数 1 である。

(iii)

がカッシュ 500-20 に存在せず空銀河比較が存在しない時 (即ち、ヒットなし) は信号 HIT000 は 2 進数 1 となる事が判るであろう。同時に信号 HITREG100 は、信号 MISS100 を 2 進数 1 に強制する 2 進数零である。第 7 図から判るように、信号 HITREG100 は NAND/AND ゲート 500-64 をして信号 WRLOAD000 を 2 進数 1 に強制させる。これにより、カッシュ書き込み可能回路 500-214 が情報をカッシュ記憶装置 500-20 に書き込む事を禁止する。然し、この情報は前述の万能で補助記憶装置 500-46 に書き込まれる。

書き込み 2 倍指令も又カッシュ記憶装置 500-20 に記憶されるデータをリクエストにより与えられる 2 つのデータ・ワードにより更新させる事が判るであろう。従つて、この指令の高ビット 1 および 2 は 2 進数 1 であり、ゾーン・ビットは全て 2 進数 1 である。第 7 図から、両信号 DBL100 と BSWR100 は 2 進数 1 である事が判る。このため、NAND/AND ゲート 500-472 は信号

(iv)

式に、第 9 図から判るように、タイミング・パルス T9 に続いて、回路 500-478 はタイミング信号 BSWT40100 に応答して書き込み用記憶装置信号を生成する。信号 WD00-79 に与え記憶装置 500-46 に書き込まれる。单一性を持つ使用により同じデータ信号のカッシュ記憶装置 500-20 と補助記憶装置 500-46 の両方への書き込みが併存される事が判るであろう。更に、この構成のため所要の回路量が少くなる。

局部メモリー・モジュール 500 は、書き込み操作サイクルの完了時点で回路 RDTR を 2 進数 1 に強制させて、ZAC 機会により前に書き込まれるべく要求されたデータが書き入れられた状況として SIU100 に対し信号するよう作用する。プロセッサ 200 が 2 進数 1 に強制された ARDA により信号されるデータ最終の確認に従つてデータを読み出した時、SIU100 は RDAA 回路を 2 進数 1 に強制する。この状態は局部メモリー・モジュール 500 に対して操作が完了した事を信号する。

プロセッサ 200 により書き込みを要求された時は

(v)

WRDBL000 を 2 進数零に強制し、更に NAND ゲート 500-476 をして信号 DISABBSWR000 を 2 進数 1 に強制させる。

前記の動作によりニラーバ信号 LME000 の状態の如何に拘わらず書き込み操作サイクルの間回路 500-478 を使用可能の状態にする。その理由は、データ・ワードの一部 (即ち、1 乃至 4 バイト) よりもむしろ 2 ワード全体が補助記憶装置 500-46 とカッシュ記憶装置 500-20 に書き込まれる如きエラーが訂正可能であるためである。

前記の事柄は、本発明の構成がいかにして同じデータが補助記憶装置において更新中である同じ間隔においてカッシュ記憶装置に記憶されるデータの自動的更新を可能にするかを示している。以降の記憶されたブロックは、書き込み指令の符号化にはつて 1 乃至 4 バイト即ち 2 ワードだけ更新できる。

前述の万能でデータを更新する事により、本発明の構成はシステムがフラッシュ操作を行う必

(vi)

要を不要にするものである。又、本圖はヒット率の影響を示す、なまらと考えられる。

本発明の最も新しい実用意図については多くの変更が可能であり、例えば指令がフォーマット化され符号化されると共にある制御をこじてタイミング信号が生成される方法の変更が可能である事は明らかであろう。簡単にするために、多くの場合に各種の符号のソースは1つとした。然し、同じ符号がタイミングの制約を少くするため他のソースにより独立的に生成され得る事が判るでであろう。更に、本発明の表示内容は新データと旧データの合併がカッシュ記憶装置の出力側で生じる場合に使用できる事も明らかであろう。然しこのためには別の回路の使用が必要となる。

4. (国語の簡単な説明) -

第1図は本発明の原理を採用する入出力システムのブロック図、第2図は第1図の入出力処理装置を更に詳細に示すブロック図、第3&4図および第5図は第1図のシステム・インターフェース装置を更に詳細に示すブロック図、第6図は第1

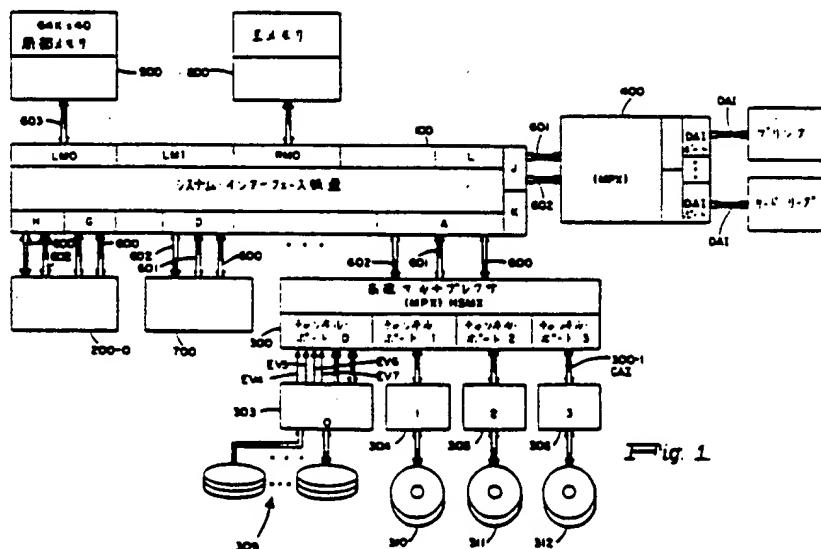
特函函53-108747

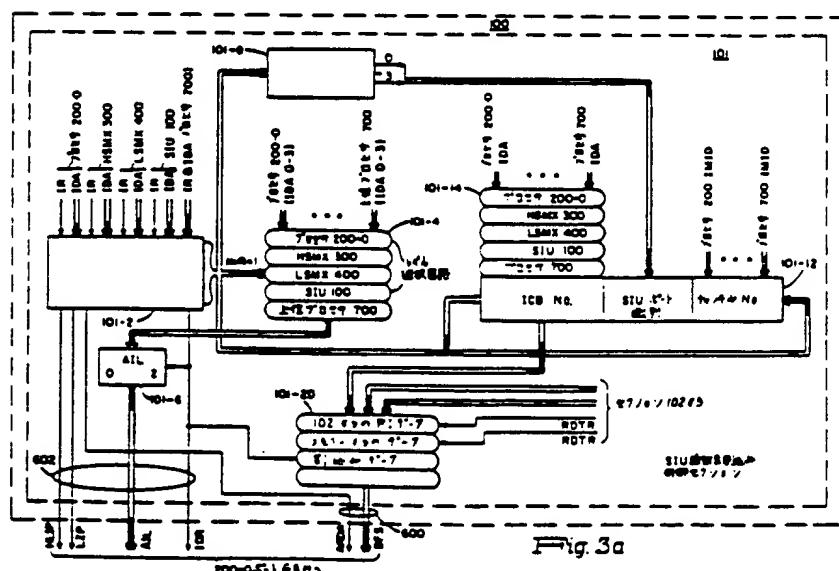
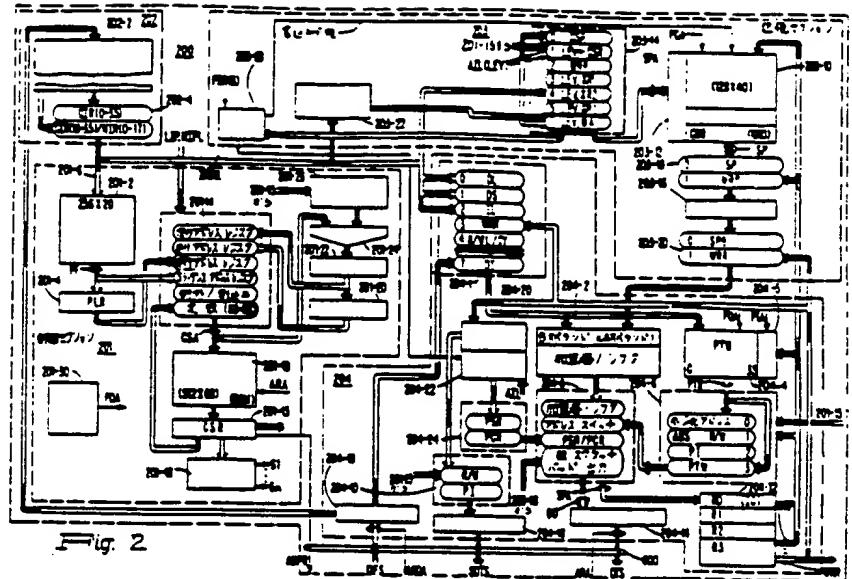
図の局部メモリー・モジュールのブロック図、
5・図乃基第5・図は第1回の各種のインテフ
エースを示す図、第6図は第4回の局部メモリ
・モジュールを更に詳細に示すブロック図、或
は図は第6図の一端を更に詳細に示すブロック図、
第8図は本発明によるZACメモリ・指令のフロ
ーマットを示す図、および第9図は本発明の作用
を説明するためのダイミング・ダイヤグラムであ
る。

100…システム・インターフェース装置
 (SIU), 101…割込みセクション, 102…
 データ転送セクション, 200-0…入出力ブロ
 セサ時 (PO), 300…高速マルチブレクタ
 (HSMX), 400…低速マルチブレクタ (LSMX),
 500…周波メモリー・モジュール, 600-603
 …インターフェース, 700…上位プロセッサ,
 800…主メモリー・モジュール。

(15)

(14)





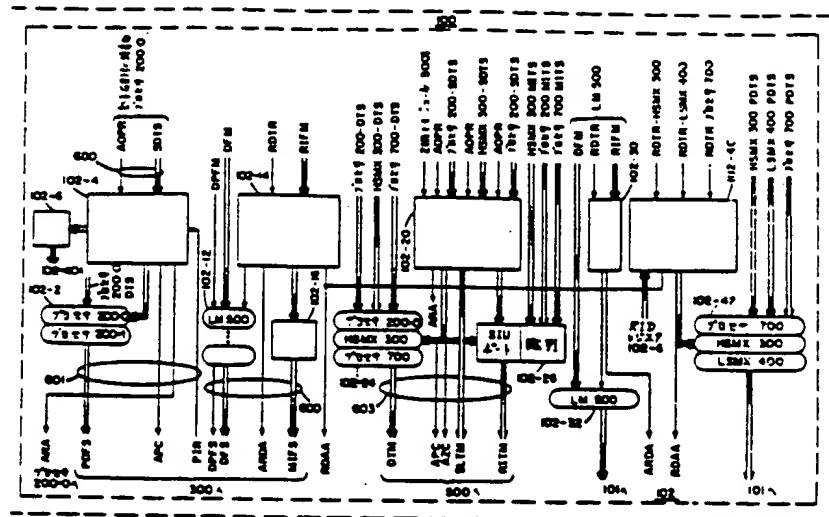


Fig. 3b

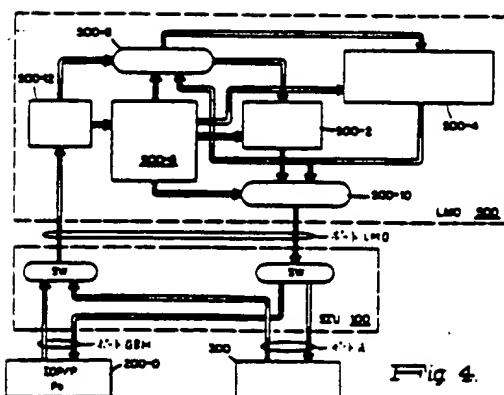


Fig 4

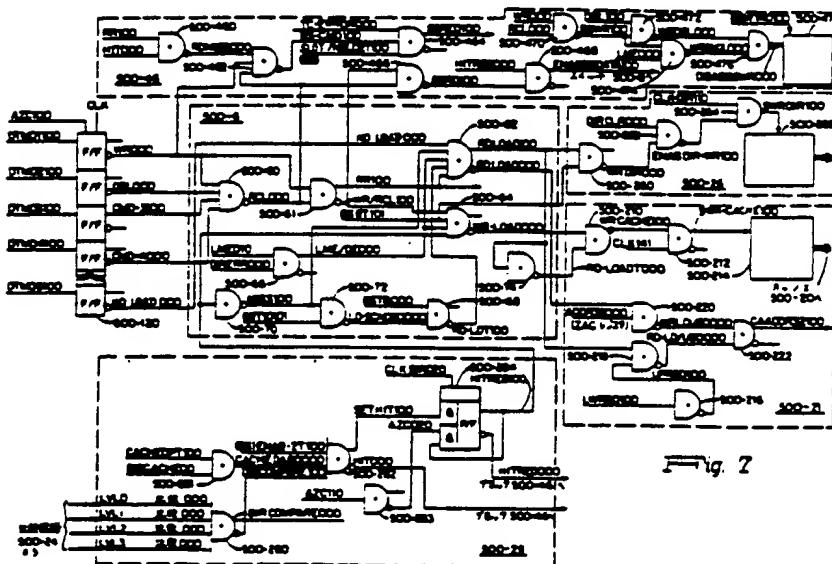
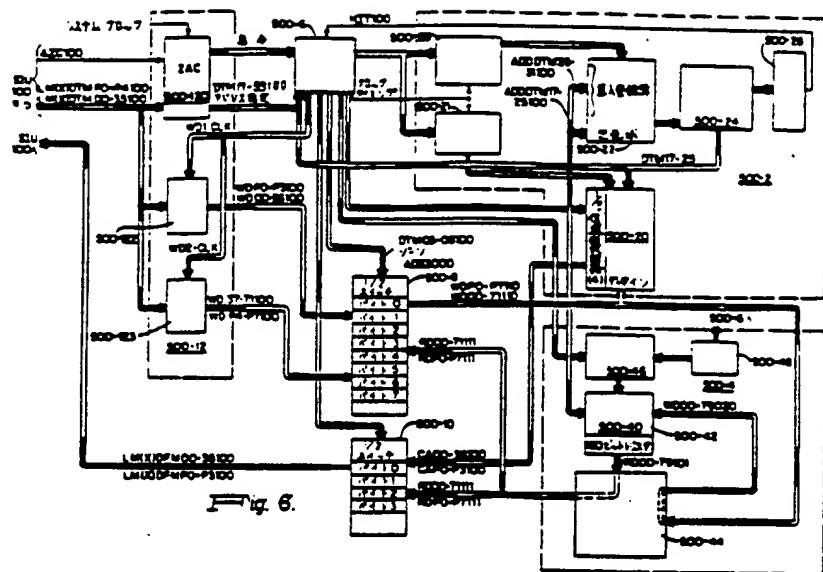
機器別記入欄		ACM
SIU 6-1	SIU 6-1	CTS(MO)
SIU 6-1	SIU 6-1	SDTS(MI)
SIU 6-1	SIU 6-1	MITS(S)
SIU 6-1	SIU 6-1	AAA
SIU 6-1	SIU 6-1	AAA
SIU 6-1	SIU 6-1	GPS(MO)
SIU 6-1	SIU 6-1	MITS(S)
SIU 6-1	SIU 6-1	GPS
SIU 6-1	SIU 6-1	AST
SIU 6-1	SIU 6-1	600
機器別記入欄		ACM
SIU 6-1	SIU 6-1	GPS(MO)

Fig. 5a

Fig 5b

Fig. 5c

Fig. 5d



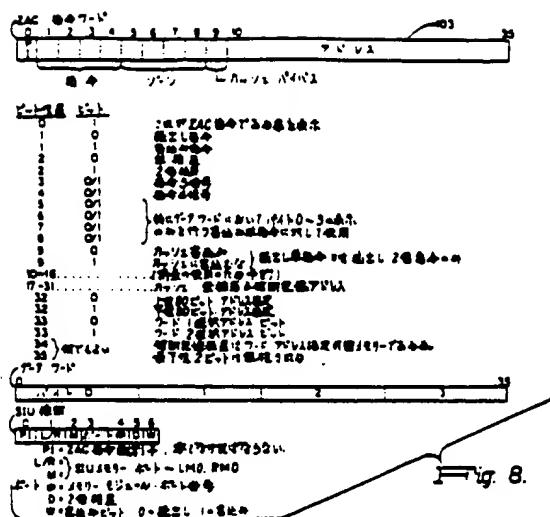


Fig. 8.

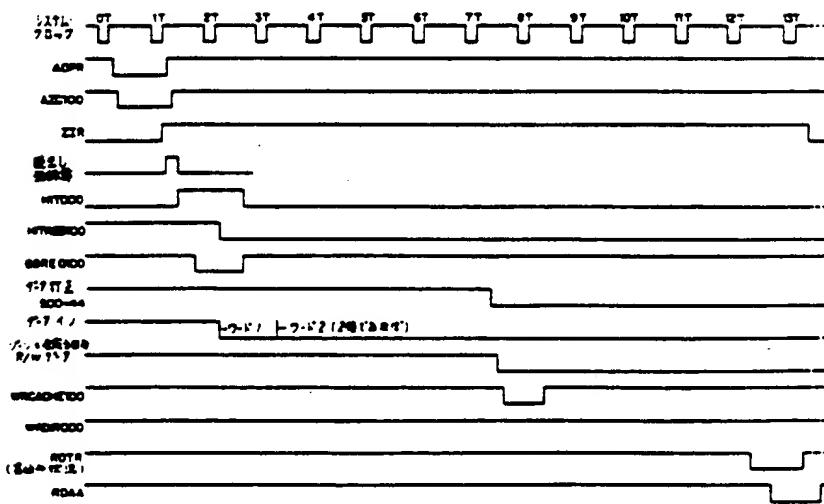


Fig. 9.

特許法第17条の2の規定による補正の掲載
 昭和53年特許出願 17515号(特開昭
 53-108747号 昭和53年9月2日
 発行公開特許公報 53-1088号(掲載)につ
 いては特許法第17条の2の規定による補正があつ
 たので下記のとおり掲載する。

Int.CP.	識別 記号	序内整理番号
G06F 15/00		6974 58

6. 補正の内容

(1) 例題箇中に次の様な補正を行う。

行	補正前	補正後
11 1	の範囲	のある範囲
11 2	時必の	時、必
11 トから2	記憶される	記憶された
12 トから6	更に	指令モジュールにより 与えられた
12 トから5	必要とする場合 モジュールに	要求された
12 Fから4	より与えられる 情報	情報
12 Fから3	情報	該情報
13 1	含んでいる	更に含んでいる
13 11	補助に	補助
14 3	出力側	複数の出力
14 4	最少限度	最少限
14 5	記憶され自動的 に	記憶され
14 6	(全文)	た情報における変化
14 7	情報を伴わせ	に伴う情報を
14 8	る事	自動的にカノンエ記憶 装置に負込む事

7. 補正書

昭和56年9月5日

特許庁長官 島田泰史

1. 事件の表示

昭和53年特許出願 17515号

2. 発明の名称

カノンエ記憶装置を含むデータ処理システム

3. 補正をする者

事件との関係 特許出願人

住所

名称 ハネイウェル・インフォメーション・
システムス・インコーポレーテッド

4. 代理人

住所 東京都千代田区大手町二丁目2番1号
新大町ビル206号室(電話 270-6641-6)
氏名 (2770)弁理士島田泰史

5. 補正の対象

明細書の(発明の詳細な説明)の欄

14 9	最少限度	最少限
18 5	制御	直接制御
21 2	2倍精度	2倍精度
21 11.末	即ち	又は
21 下から5	モジュール間	モジュールとSUS間
22 5	操作	操作
34 下から4	読み込み	インターフェース
36 Fから7	即ち	又は
37 9	延長し、 2つの+ト 番号追足回線と	
37 13	如くである。	如くに符号化される。
37 下から4	又は読み込む	解釈する
41 3	要求	要求
41 7	メモリー	メモリ 500
48 下から3	す、即ち	ないか。
48 末	実行	例外
49 末	プロセサ	出1[4]のシステムの他 カノンエルとプロセサ
50 3	(全文)	るため必要とされ。
50 4	メールはロック	ロック
50 Fから3	との間	間

6 1	2 ~ 3	このレンズが ミートされるま で	ロードされるべきレン ズと
6 1	トから 2	電 値	次 構
6 3	トから 7	列	シング
6 5	4	即ち	スニ
6 9	9	音量の	音量率の
7 6	9	読みし／書き込み	の読みし／書き込み
7 6	9	サイクル	サイクルに対する。
7 8	4	第 1 回	第 1 回
8 1	F から 8	フロセス	フロセスの刷込み
9 0	2	RIFM	RIFM
9 3	5	102	101
9 3	7	即ち	即ち
9 6	6	用いて	使って
9 6	9	されねば	されねば
9 6	10	ワードもスカン シエ内で	カンシエ内のワードも ス
10 2	6	位置に	位置 0 乃至 8 に
10 4	3	される。	されていふとする。
10 5	F から 5	バイバス	バイト
10 8	11	12 から	12 からの

以 上

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)